

基于版图设计的 DICE 触发器单粒子翻转加固技术

赖晓玲^{1,2}, 张健², 巨艇², 朱启², 郭阳明¹

(1.西北工业大学 计算机学院, 陕西 西安 710072; 2.中国空间技术研究院西安分院, 陕西 西安 710199)

摘 要:D 触发器是时序逻辑电路的基础,随着集成电路工艺尺寸进入纳米级,单粒子多节点翻转(single event multiple upset,SEMU)现象趋于严重,双互锁存单元(dual interlocked storage cell,DICE)触发器加固设计方法的抗单粒子翻转(single event upset,SEU)能力已不能满足宇航需求。基于纳米工艺下 D 触发器的 SEU 加固技术以及 DICE 结构的翻转机理,兼顾电路性能、面积和功耗等资源开销,提出了一种以 DICE 电路结构为基础的版图级抗 SEU 触发器设计方法,并采用商用 65 nm 工艺实现了一款抗 SEU 的 D 触发器设计,其面积仅为商用结构触发器的 1.8 倍。电路功能及辐照性能仿真表明,该触发器的建立时间和传输延迟与商用结构触发器相当,在线性传输能(linear energy transfer,LET)阈值大约为 $37\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的 Ge 离子轰击下没有发生 SEU,触发器电路的性能和抗单粒子软错误能力表现优秀。在抗辐照专用集成电路设计中,极大节省了由加固 D 触发器电路所带来的面积、布线资源和时序开销。

关 键 词:辐射效应;DICE 触发器;单粒子翻转;版图加固
中图分类号:TN783 **文献标志码:**A **文章编号:**1000-2758(2022)06-1305-07

随着我国航天事业快速发展,宇航级专用集成电路(application specific integrated circuit,ASIC)芯片的规模、功能复杂度及工作频率不断上升,芯片中 D 触发器的数量越来越多。同时随着集成电路制造工艺不断发展,芯片工艺尺寸不断减小,内核工作电压不断降低,导致 D 触发器的单粒子翻转(single event upset,SEU)阈值越来越小^[1-2],使得 D 触发器的 SEU 已成为纳米级数字集成电路发生单粒子软错误(soft error rate,SER)的主要原因之一。

D 触发器的设计加固技术主要分为两类:在 ASIC 前端设计阶段的三模冗余(triple modular redundancy,TMR)电路设计加固技术,以及标准单元库设计阶段的双互锁存单元(dual interlocked storage cell,DICE)触发器设计加固技术。

TMR 加固技术包括空间三模冗余(spatial TMR,STMR)和时间三模冗余(temporal TMR,TTMR),其中 TTMR 防护能力最优,但功耗、面积、时序等开销极大^[3],且该技术对冗余触发器的物理

位置以及电路的刷新频率要求较高^[4]。这与 ASIC 高性能、低功耗等设计目标相矛盾。而通过开发单元库级的抗 SEU 加固 D 触发器可最大限度地减小 ASIC 性能开销。但在纳米级工艺下,电荷共享引起的多节点翻转(single event multiple upset,SEMU)现象越发严重^[5],传统 DICE 触发器设计方法抗 SEU 的能力已不能满足宇航需求。研究表明,基于 40 nm 体硅工艺未做版图优化的 DICE 触发器,其抗 SEU 能力仅为同工艺下商用触发器的 1.4 倍^[6]。基于此,近年来,针对纳米级 D 触发器的单元级加固方法是通过 DICE 结构与版图设计相结合实现的,如版图重排技术(layout design through error-aware transistor positioning,LEAP)、Double-Height-Cell 技术等^[3,7],其基本原理都是通过增加锁存器中敏感节点的物理距离,提升 SEU 防护效果。同时在先进工艺下,特殊工艺与版图设计相结合的 DICE 触发器也是纳米级触发器加固的有效手段,如在 22 nm 工艺下,基于超薄体区超薄埋氧(ultra-thin body and

buried oxide, UTBB) 的全耗尽型绝缘层上硅 (fully depleted silicon on insulator, FDSOI) 工艺实现的 DICE 触发器就表现出优秀的 SEU 防护效果^[8]。

如何在减小功耗、面积、时序等资源开销的同时保证电路的抗辐照能力、缩短芯片研制周期及压缩研制成本,是当前宇航 ASIC 设计面临的重要挑战,而如何在提高 D 触发器抗 SEU 能力的同时降低面积和时序等开销是解决该问题的关键。目前,国内外针对纳米工艺下 DICE 触发器的研究较多,但并未做到兼顾抗辐照能力和面积开销。如西安微电子技术研究所李海松等^[3]基于 65 nm 体硅工艺设计了相关敏感节点远离 DICE 触发器,该触发器面积为普通触发器面积的 2.3 倍,但实验结果显示,其 SEU 的 LET 阈值小于 20 MeV·cm²/mg^[3]。Fuma 等^[7]基于 65 nm 体硅工艺,提出一种通过版图布局优化来提高抗 SEU 能力的 DICE 触发器设计方法,该方法以增大触发器面开销为代价,相较于普通 DICE 触发器,额外增加了 46% 的面积。Cai 等^[8]提出多种基于 22 nm UTBB FDSOI 工艺的 DICE 触发器设计方法,SEU 阈值可大于 37 MeV·cm²/mg,该工艺由于超薄的体区及埋氧层的存在,相较于体硅工艺,天然具有很强的耐多节点翻转能力^[8],使得 DICE 触发器的版图级加固设计相对简单,但流片费用十分昂贵。本文通过研究商用 65 nm 工艺下 D 触发器的空间 SEU 发生机理和 DICE 触发器版图设计技术,从单粒子瞬态脉冲产生及缓解机理出发,结合触发器的工作原理,同时兼顾了面积开销、抗辐照能

力、流片成本,在不额外增加 DICE 触发器面积的前提下,提出了一种资源开销低的 DICE 触发器抗 SEU 版图设计方法。基于该方法设计的触发器资源开销低、电路性能和抗辐照能力表现优秀,在抗辐照 ASIC 设计中,可极大节省对时序电路 SEU 加固所带来的面积、功耗和时序开销,且无需引入额外的 EDA 设计流程,缩短芯片研制周期。

1 DICE 触发器的版图加固技术

DICE 锁存器由 4 个首尾相连的反相器构成,其中存储节点分别与前一级 NMOS 和后一级 PMOS 相连接,使得正负存储数据均被冗余保存,因此单个存储节点发生翻转时,冗余电路通过反馈将其修正,并不会引发 SEU;当粒子入射沉积的能量足够大时,能够导致 2 个存储相同逻辑的存储单元同时翻转, DICE 触发器才会发生翻转,因此 DICE 锁存器具有很好的抗粒子电离扰动能力^[9]。然而由于一些本质的翻转机制,DICE 触发器的 SEU 翻转截面并非为零^[10]。

1.1 DICE 锁存结构 SEU 发生机理分析

多个高能粒子同时击中 DICE 锁存器单元的不同敏感节点的概率非常小,但大量研究表明在深亚微米到纳米级工艺下,DICE 结构的抗 SEU 能力并不十分理想,这是因为单个高能粒子入射引起 SEMU 所导致的,具体发生机理如图 1 所示。

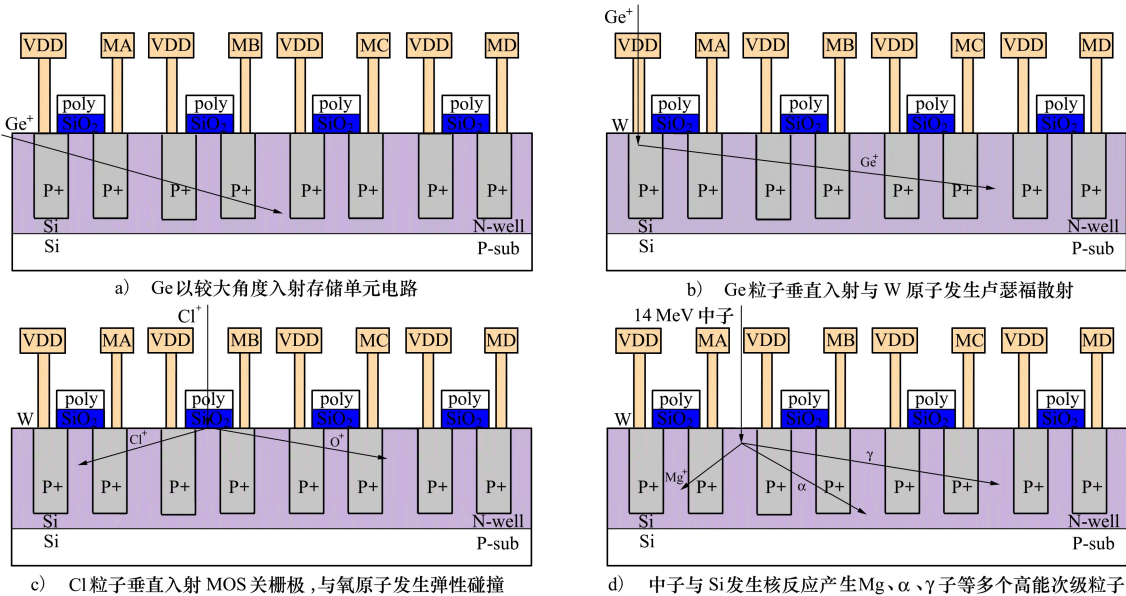


图 1 4 种能够引起双互锁存储单元发生单粒子翻转的典型事件

1) 高能粒子入射锁存单元,当入射角度与垂直平面夹角较大时(通常在 $45^{\circ}\sim 60^{\circ}$ 之间),粒子可斜穿过 2 个存储相同逻辑的敏感节点,当入射粒子有足够线性传输能导致这些敏感节点发生翻转,便发生存储单元 SEU。图 1a) 为线性传输能 (linear energy transfer, LET) 阈值约为 $37\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的 Ge 粒子以 60° 角入射 65 nm 体硅互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺的 DICE 锁存单元,这一情况便会导致此类 SEU 发生。

2) 高能粒子垂直入射(或较小角度斜入射)锁存器单元,并在 MOS 管附近与质量较高的靶原子发生弹性碰撞(卢瑟福散射),导致其运动轨迹发生较大偏转,从而穿过 2 个存储相同逻辑的敏感节点。如图 1b) 所示,垂直入射的 Ge 粒子在 PMOS 有源区附近与连接孔(W 材料原子)碰撞,使得入射的 Ge 离子发生大角度偏转后斜穿过 2 个敏感节点。

3) 高能粒子垂直入射(或较小角度斜入射)锁存单元,并在 MOS 管附近与质量相近的靶原子发生弹性碰撞,导致粒子运动轨迹发生大角度偏转,同时被击中的靶原子产生一个电离核子反冲出去。这相当于 2 个不同的高能粒子以不同轨迹入射锁存单元,同时击中 DICE 锁存单元的不同敏感节点的情况,导致 DICE 触发器发生 SEU。如图 1c) 所示,Cl 离子击中 O 原子发生散射,Cl 离子和 O 离子分别穿过一个敏感节点。

4) 高能粒子入射锁存单元,并在 MOS 管附近与原子发生核反应,产生多种能量较高的次级粒子,引起多个敏感节点发生翻转,导致 SEU。如图 1d) 所示,粒子能量为 14 MeV 的高能中子,垂直入射存储单元的 PMOS 有源区,并与 Si 原子发生核反应,产生 Mg、 α 、 γ 等多个高能次级粒子斜穿过多个敏感节点导致存储单元发生 SEU。

粒子散射、核反应等物理机制导致不同种类但 LET 阈值相近的粒子,SEU 截面甚至相差达 2 个数量级,在纳米工艺下,LET 小于 $10\text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的高能粒子,仍可使 DICE 锁存器结构发生 SEU^[11-12]。每种翻转机制的发生概率都会随着敏感节点间距的增大而减小,提高 DICE 锁存器抗 SEU 的最有效方法是增加一对存储相同逻辑的敏感节点的物理距离。有资料显示,存储相同逻辑敏感节点间距增大 1 倍,DICE 锁存器的 SEU 可降低 10 倍^[13]。

DICE 触发器由主从 2 个锁存器构成,传统的版

图设计方法如图 2a) 所示,存储相同逻辑的敏感节点距离较近,随着供电电压、节点电容、敏感节点距离减小,深亚微米工艺下 DICE 结构触发器的防护效果已经不理想。图 2b) 是波音(Boeing)公司设计的一款 90 nm 商用 CMOS 工艺的 DICE DFF 版图^[11],通过增加敏感节点距离和增加阱接触的方式提高触发器的抗 SEU 能力,然而这带来了较大的面积浪费。

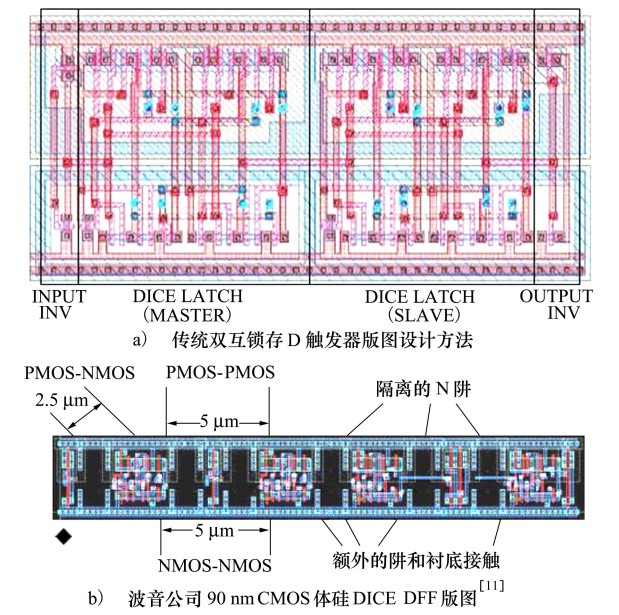


图 2 2 种常用的 DICE 触发器图设计方法

1.2 加固措施及版图设计

从 DFF 的工作原理分析,每半个时钟周期只有一个锁存器环路导通,因此如果高能粒子入射引起翻转的 2 个存储节点分别在主锁存器和从锁存器中,不会导致 DICE 触发器发生 SEU。基于以上分析,在不浪费版图面积开销的同时,可以参照静态随机存储器(static random access memory, SRAM)的位交错技术设计思路^[4],将锁存器中每个敏感节等效看做 1 个 bit 位,通过主从锁存器各敏感节点交错布局实现 DICE 触发器的版图设计,理论上很小的面积开销便可使敏感节点的物理距离增加 1 倍以上。但是随着集成电路工艺进入纳米级,电荷共享效应的影响增强,仅依靠位交错技术已不能很好地满足 DICE 触发器的宇航抗 SEU 指标需求。因此,除了通过位交错技术增大敏感节点之间的距离外,本设计还采取多节点电荷分享的版图设计加固技术^[13-14],具体原理如图 3a) 所示。当高能粒子轰击

反相器的关态 PMOS 时产生电子-空穴对,由于该 PMOS 的漏极为低电平,源级接 VDD,电荷漂移效应及寄生双级放大效应使得 PMOS 的漏极产生向上的 SET 脉冲,但开态 PMOS 在电场作用下会吸收过剩电子,减少高能粒子入射引起的存储节点 SET 的脉冲高度和宽度,进而减小 SEU 发生几率。因此减小 DICE 锁存器一对存储相反逻辑 MOS 管漏极距离,从而使输出节点的关态 PMOS 总电荷收集减少也是提高触发器抗 SEU 能力的有效方法,具体原理如图 3b)所示。当高能粒子入射关态 PMOS 管时产生电子-空穴对,过剩电子的浓度决定寄生 PNP 管的开关状态,但这部分电子会受电场作用被开态 PMOS

漏极吸收,吸收能力随漏极距离的减小而增大,从而减小输出节点的关态 PMOS 管由于双极放大效应收集的正电荷量。基于以上分析,文献[13]公开了一种 LEAP DICE 的版图布局方案,如图 3c)所示。该方案很好地实现了开态 MOS 与关态 MOS 之间的电荷分享,且对高能粒子同时穿过多个敏感节点的轨迹要求变得十分苛刻,具有很强的抗 SEU 能力,但基于该方法实现的 DFF 不仅面积较传统的 DICE DFF 增加约 40%,且 PMOS 有源区与 NMOS 有源区的交错布局使得电源地轨道不连续,极大地增加了 DFF 单元版图的绕线难度和芯片后端设计的复杂性,因此需对该方案进行改进。

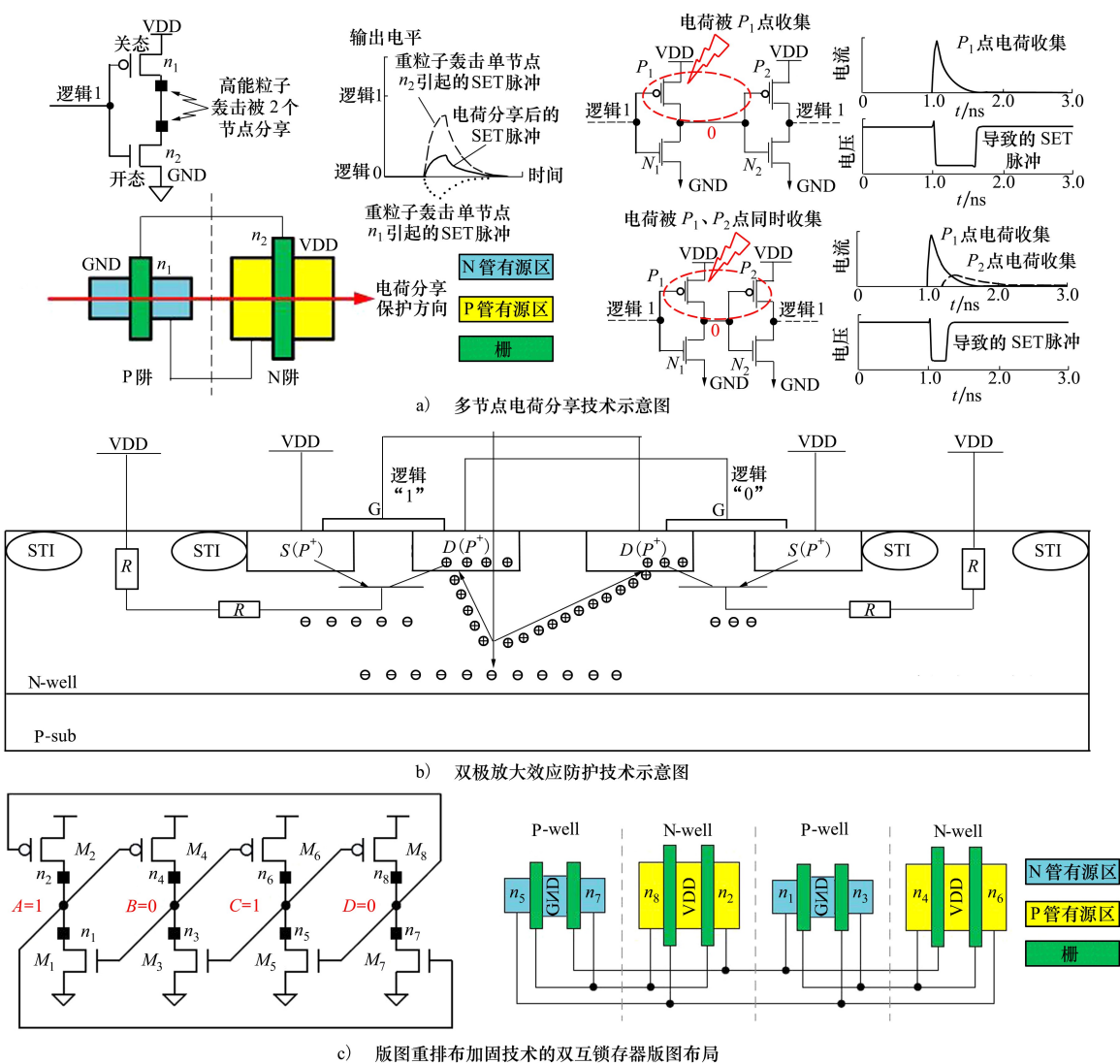


图 3 版图重排布加固技术分析

本文以传统的 DICE 触发器电路结构为基础, 在版图设计时进行如下布局:①将同一锁存器中存

储相异逻辑的同类型 MOS 管漏极贴近摆放,以实现减小一对存储相反逻辑 MOS 管漏极距离的目的;②由于 DICE 锁存器的逻辑备份电路结构,将同一锁存器中存储相同逻辑的不同节点、不同类型 MOS 管贴近摆放,以实现 LEAP 技术;③将同一锁存器中存储相同逻辑的相同节点、不同类型 MOS 管拉开距离,通过较长的金属走线来增加节点电容,以提高节点抗 SEU 能力;④将同一锁存器中存储相同逻辑的不同节点、同类型 MOS 管使用位交错技术布局,增

加 DICE 锁存器敏感节点的间距;⑤将触发器中的输入驱动电路、输出驱动电路以及时钟驱动电路放在触发器版图中间以增大一对敏感节点距离;⑥使用保护带阱接触并在保护带上多打接触孔,增加阱接触,减小阱电阻。通过以上原则,实现 DICE 触发器版图设计,整体版图如图 4a) 所示,其中 MA、MB、MC、MD 是 DICE 触发器中主锁存器的 4 个存储节点,SA、SB、SC、SD 是 DICE 触发器中从锁存器的 4 个存储节点,版图上半部分是 PMOS,下半部分是 NMOS,阱接触保护带间距小于 $4\text{ }\mu\text{m}$,每对敏感节点的距离远远大于 $3\text{ }\mu\text{m}$ ^[15],触发器版图通过 2 层金属实现,整体面积为 $11.4\text{ }\mu\text{m}\times 2.4\text{ }\mu\text{m}$,仅为同类型商用结构触发器(见图 4b))面积的 1.8 倍。

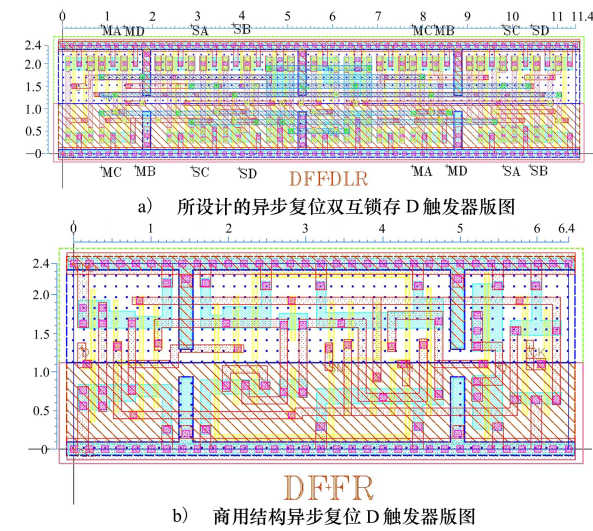


图 4 2 种触发器版图面积对比

2 仿真验证

为验证所设计触发器的可靠性及性能,需对所设计版图分别进行抗 SEU 能力仿真和功能后仿真。

2.1 DICE 触发器的 SEU 仿真

使用 65 nm 商用工艺的器件模型对本文设计的 DICE 触发器进行半导体工艺及器件级建模(technology computer aided design, TCAD),三维模型如图 5a) 所示。

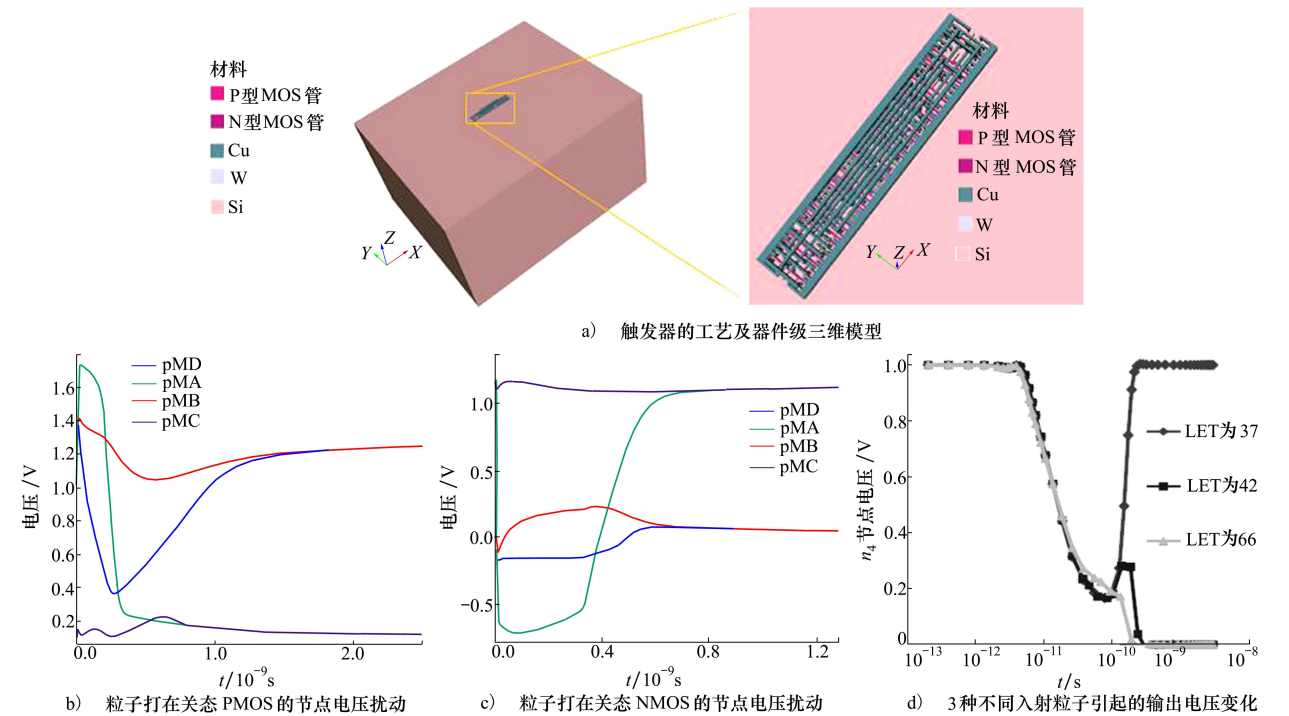


图 5 所设计基于版图重排布加固技术的双互锁存 D 触发器的器件级仿真分析

X 方向为版图高度 ($2.4\ \mu\text{m}$), Y 方向为版图宽度 ($11.4\ \mu\text{m}$), Z 方向为单元从衬底到金属 2 的方向。在触发器工作电压为 $1.0\ \text{V}$ 条件下, 使用 Ge 离子 (LET 值约为 $37\ \text{MeV} \cdot \text{cm}^2/\text{mg}$) 以 60° 倾角分别入射 DICE 触发器中主锁存器的关态 PMOS 与关态 NMOS, 主锁存器节点波形的扰动如图 5b) ~ 5c) 所示, 从仿真波形看节点出现较大 SET 扰动, 但未发生 SEU; 但用 LET 值分别为 42 和 $66\ \text{MeV} \cdot \text{cm}^2/\text{mg}$ 的 Br 粒子和 I 粒子入射本设计, 触发器发生 SEU, 输出电压的变化如图 5d) 所示。从仿真结果分析, 所设计的 DICE 触发器抗 SEU 能力表现优秀, SEU 阈值可达 $37\ \text{MeV} \cdot \text{cm}^2/\text{mg}$ 。

2.2 DICE 触发器的功能后仿真

采用 Calibre 的 PEX 提取寄生参数, 采用 spectre 进行后仿真, 条件为最慢工艺角 (供电电压 $1.08\ \text{V}$ 、工作温度 125°C 、最慢工艺)。本设计的 DICE 触发器后仿真验证结果为: 触发器功能正确,

建立时间 $160\ \text{ps}$, 上升传输延迟 $202\ \text{ps}$, 复位建立时间 $183\ \text{ps}$, 时序开销与普通商用触发器相当。

3 结 论

本文以 DICE 触发器电路为基础, 在版图设计中, 分析 DICE 电路结构的 SEU 发生及防护机理, 通过位交错技术、LAEP 技术、双极效应防护技术相结合的方法, 合理设计单元版图布局, 提高单元抗 SEU 能力。基于本文方法设计的 DICE 触发器面积仅为同工艺、同类型商用触发器的 1.8 倍, 抗 SEU 能力和电路性能优秀, 端口定义、数量及逻辑功能与商用结构 D 触发器完全一致, 因而使用本设计触发器进行宇航 ASIC 芯片研制时, 无需额外的 EDA 设计流程对 D 触发器进行加固, 提高了芯片研制效率, 并极大节省了由于对 D 触发器电路进行加固所带来的面积、布线资源和时序开销。

参考文献:

- [1] BHARAT L Bhuva, HOLMAN W Timothy, MICHAEL L Alles, et al. Technology scaling and soft error reliability[C] // Proceedings of the International Reliability Physics Symposium, Anaheim, 2012
- [2] BRADY John, FRANCIS A Matthew, HOLMES Jim, et al. An asynchronous cell library for operation in wide temperature & ionizing-radiation environments[C] // Aerospace Conference, 2015
- [3] 李海松, 杨博, 蒋铁虎, 等. 基于 $65\ \text{nm}$ 体硅 CMOS 技术的 DICE-DFF 和 TMR-DFF SEU 辐射硬化方法分析[J]. 电子科技大学学报, 2022, 51(3): 458-463
LI Haisong, YANG Bo, JIANG Tiehu, et al. Analysis of SEU radiation-hardened method about DICE-DFF and TMR-DFF based on $65\ \text{nm}$ bulk CMOS technology[J]. Journal of UEST of China, 2022, 51(3): 458-463 (in Chinese)
- [4] 张健, 赖晓玲, 周国昌, 等. 基于 $130\ \text{nm}$ 工艺嵌入式 SRAM 单粒子软错误加固技术研究[J]. 空间电子技术, 2020, 17(5): 63-70
ZHANG Jian, LAI Xiaoling, ZHOU Guochang, et al. The research of embedded SRAM SEU preventing based on $130\ \text{nm}$ CMOS process[J]. Space Electronic Technology, 2020, 17(5): 63-70 (in Chinese)
- [5] KEITA Sakamoto, SHUNSUKE Baba, DAISUKE Kobayashi, et al. Investigation of buried-well potential perturbation effects on SEU in SOI DICE-based flip-flop under proton irradiation[J]. IEEE Trans on Nuclear Science, 2021, 68(6): 1222-1227
- [6] JAGANNATHAN S, LOVELESS T D, BHUVA B L, et al. Single-event tolerant flip-flop design in $40\ \text{nm}$ bulk CMOS technology[J]. IEEE Trans on Nuclear Science, 2011, 58(6): 3033-3037
- [7] FUMA Mori, MITSUNORI, YUTO Tsukita, et al. Intrinsic vulnerability to soft errors and a mitigation technique by layout optimization on DICE flip flops in a $65\ \text{nm}$ bulk process[J]. IEEE Trans on Nuclear Science, 2021, 68(8): 1727-1735
- [8] CAI Chang, LIU Tianqi, ZHAO Peixiong, et al. Multiple layout-hardening comparison of SEU mitigated flip-flops in $22\ \text{nm}$ UTBB FD-SOI technology[J]. IEEE Trans on Nuclear Science, 2020, 67(1): 374-381
- [9] RIAZ Naseer, JEFF Draper. A scalable solution for soft error tolerant circuit design[C] // IEEE International Symposium on Circuits and Systems, 2006
- [10] AKIFUMI Maru, HIROYUKI Shindou, TSUKASA Ebihara, et al. DICE-based flip-flop with SET pulse discriminator on a $90\ \text{nm}$ bulk CMOS process[J]. IEEE Trans on nuclear science, 2010, 57(6): 3602-3608
- [11] BAZE M, HUGHLOCK B, WERT J, et al. Angular dependence of single event sensitivity in hardened flip/flop designs[J].

IEEE Trans on Nuclear Science, 2008, 55(6): 3295-3301

- [12] REED R, WELLER R, MENDENHALL M, et al. Impact of ion energy and species on single event effects analysis[J]. IEEE Trans on Nuclear Science, 2007, 54(6): 2312-2321
- [13] LEE Hsiao-Heng Kelin, LILJA Klas, BOUNASSER Mounaim, et al. Design framework for soft-error-resilient sequential cells [J]. IEEE Trans on Nuclear Science, 2011, 58(6): 3026-3032
- [14] BLACK J D, STERNBERG A L, ALLESET AL M L, et al. HBD layout isolation techniques for multiple node charge collection mitigation[J]. IEEE Trans on Nuclear Science, 2005, 52(6): 2536-2541
- [15] 李赛, 陈睿, 韩建伟, 等. 脉冲激光诱发 65 nm 体硅 CMOS 加固触发器链的单粒子翻转敏感度研究[J]. 航天器环境工程, 2020, 38(1): 55-62
- LI Sai, CHEN Rui, HAN Jianwei, et al. Sensibility of single event upset of hardened D flip-flop chain in 65 nm bulk silicon CMOS irradiated by pulsed laser[J]. Spacecraft Environment Engineering, 2020, 38(1): 55-62 (in Chinese)

Single event upset reinforcement technology of DICE flip-flop based on layout design

LAI Xiaoling^{1,2}, ZHANG Jian², JU Ting², ZHU Qi², GUO Yangming¹

(1.School of Computer Science, Northwestern Polytechnical University, Xi'an 710072, China;
2.Xi'an Institute of Space Radio Technology, Xi'an 710199, China)

Abstract: D flip-flop is the basis of timing logic circuit, and SEMU phenomenon tends to be serious with the integrated circuit process size shrinking to nanometer scale. The anti-SEU ability based on DICE structure for D flip-flop cannot meet the requirements of aerospace engineering. Based on the SEU reinforcement technology of D flip-flop under nano-technology and the SEU mechanism of DICE structure, a layout-level anti-SEU flip-flop design method based on DICE circuit structure is proposed considering the circuit performance, area, power consumption and other resource costs. And then a D flip-flop with SEU resistance is designed by commercial 65 nm process, and the designed flip-flop area is 1.8 times that of commercial structure flip-flop. The function and radiation simulation results indicate that the establishment time and transmission delay of the flip-flop are equivalent to those of the commercial one, and no SEU occurs under the Ge ion bombardment with the LET threshold of approximately $37 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. The performance of the flip-flop circuit and the ability to resist single particle soft error are excellent. In the anti-radiation ASIC design, the area, wiring resources and timing overhead caused by the reinforcement of the D flip-flop circuit are greatly saved.

Keywords: radiation effects; dual interlocked storage cell(DICE); single event upset (SEU); layout-hardened

引用格式: 赖晓玲, 张健, 巨艇, 等. 基于版图设计的 DICE 触发器单粒子翻转加固技术[J]. 西北工业大学学报, 2022, 40(6): 1305-1311

LAI Xiaoling, ZHANG Jian, JU Ting, et al. Single event upset reinforcement technology of DICE flip-flop based on layout design[J]. Journal of Northwestern Polytechnical University, 2022, 40(6): 1305-1311 (in Chinese)