

一种用于 CMOS 图像传感器的高速高精度 低功耗 LVDS 驱动器设计

李闯泽¹, 韩本光², 何杰¹, 吴龙胜¹

(1.西安微电子技术研究所, 陕西 西安 710065; 2.西安电子科技大学 微电子学院, 陕西 西安 710065)

摘要:针对宇航超大面阵(15k×15k)CMOS 图像传感器中读出链路后级对串行数据接口高速、高精度、低功耗以及驱动大容性负载的需求,提出了一种基于沟道长度分割的方法和预加重技术相结合的低压差分信号(low voltage differential signal, LVDS)驱动器设计方案。与常见设计方案相比,该方案采用沟道长度分割补偿方法在兼顾运放增益的同时,有效提高单位增益带宽;其次采用预加重技术对 LVDS 驱动器进行高频分量补偿,提高大容性负载驱动能力和高速信号完整性。仿真结果表明:基于沟道长度分割补偿法有效提高了共模反馈电压信号的精度,仿真验证了实际共模电压信号变化小于 15 mV;采用预加重技术对高速传输过程中损失的高频分量进行幅度增强,有效改善了高速数据传输过程中信号眼图质量,同时传输速率和驱动负载能力均提升 2 倍以上(1.2 Gb/s@12 pF),静态电流消耗仅为 4.6 mA@12 pF,所提出的 LVDS 驱动器设计方案采用典型 0.18 μm CMOS 工艺设计实现。

关键词:沟道长度分割;低压差分信号;预加重;高速;高精度;低功耗

中图分类号:TN492

文献标志码:A

文章编号:1000-2758(2020)02-0442-09

随着微处理器主板、智能集线器、路由器、光通信链路及芯片与芯片间等通信链路速度的快速提升,不断推动着片外数据传输速率向高达每秒千兆位以上的速度发展^[1-4]。低压差分信号 LVDS 发送器作为一种常见的串行数据发送电路,在高速应用场合中得到了广泛应用。目前,空间遥感测绘、对地观测等宇航应用都需要超大面阵规模 CMOS 图像传感器作为支撑,有效像元个数达上亿,如此巨大的像素阵列都需要通过列并行高速 ADC 读出电路将模拟信号转换成数字码输出,因此对读出链路后级的高速数据接口提出了更高的要求,本文工作正是基于这个需求背景展开。

常见的高速串行数据接口包含多种,而低压差分信号传输数据接口以其高速抗共模干扰及 EMI 等特点,在各种传感器接口电路中得到广泛应用。

典型 LVDS 驱动器以桥型开关电流源(bridge switch current source, BSCS)拓扑作为驱动器核心结构,理论上在无损传输时最高速率为 655 Mb/s^[5-6],由于传输信道的不理想性,有损传输会导致传输速率下降,实际的传输速率在 400 Mb/s 左右。2005 年,Chen 等^[7]提出了双电流源拓扑(double current source, DCS)和可切换电流源(switchable current source, SCS) LVDS 驱动器拓扑结构,在 0.35 μm 工艺下速度达到 1.4 Gb/s 和 1.2 Gb/s,但是驱动负载能力较小只有 6 pF,而功耗高达 23 mW 和 12.8 mW。2007 年, Yeong 等^[8]利用 0.13 μm 工艺设计实现了速率为 1.2 Gb/s 的 LVDS 驱动器,负载为 6 pF 时功耗为 67.5 mW;2009 年, Wang 等^[9]利用 0.18 μm 工艺设计实现了 2 Gb/s 的 LVDS 驱动器,功耗为 13.2 mW;2010 年, Wonki 等^[3]利用 0.18 μm

收稿日期:2019-05-28

基金项目:国家重大科技专项(2017ZX01006101-001)与陕西省教育厅科学研究计划(19JC029)资助

作者简介:李闯泽(1984—),西安微电子技术研究所博士研究生,主要从事大面阵抗辐照 CMOS 图像传感器及高速模数转换器研究。

通信作者:吴龙胜(1968—),西安微电子技术研究所研究员,主要从事微电子学及固体电子学、高性能模拟集成电路设计研究。E-mail:wls771@163.com

工艺设计实现了带预加重功能的 LVDS 驱动器,速率达到 3.125 Gb/s,容性负载为 5 pF 下功耗为 48 mW。2011 年, Yang 等^[10]利用 0.13 μm 工艺设计实现了速率为 1.2 Gb/s 的 LVDS 驱动器,驱动 6 pF 负载时功耗为 16.5 mW; 2012 年, Ge^[11] 在 0.11 μm 工艺下设计实现了速率为 400 Mb/s 的 LVDS 驱动器,驱动负载能力达到 10 pF,但是传输速率比较低只有 400 Mb/s,功耗为 12 mW。2017 年, Gian 等^[12]在 28 nm 工艺下设计实现了速率达 1 Gb/s 的 LVDS 驱动器,驱动负载能力小于 6 pF 功耗 8.7 mW。

文献[2,10-11]采用的共模反馈电路是电流镜带米勒补偿的运放结构,主要为了获得较高带宽,但是增益只有 18 dB^[11]; 文献[7]采用共源共栅结构带米勒补偿的运放结构,增益达到 60 dB,但是带宽较小,一般情况下在 20~30 MHz 范围内。在大容性负载(如 12 pF 以上寄生电容的板级测试等应用场合)高速传输过程中, LVDS 驱动器电路共模反馈电压不稳定,从而导致高速信号传输质量变差,误码率上升,因此必须在增益、带宽及功耗三者之间进行设计优化,满足高速高精度低功耗的设计指标。

本文所提出的 LVDS 驱动器设计方案正是基于上述应用背景,在已有的 LVDS 驱动器设计基础上,针对常用的 LVDS 驱动器驱动容性负载能力弱、高速数据传输时共模反馈电压精度不高、增益和带宽不能同时兼顾以及预加重结构复杂等缺点,提出了一种基于沟道长度分割补偿方法的共模反馈电路结构,在保证增益的前提下,带宽提高到 100 MHz 以上。同时采用了与文献[2-3,10]中预加重拓扑结构相比更加简单高效的预加重结构,提高了容性负载驱动能力,通过对高速传输过程中的高频分量进行幅度补偿,提高了高速信号传输的质量。本文所提出的设计方案,不但可以满足高速高精度的需求,而且在功耗方面也达到了最小。

1 整体架构

高速串行数据驱动器整体结构主要有 2 种类型:①电流模式(CML)驱动器;②电压模式(VML)驱动器。典型 LVDS 驱动器属于电流模式发送器, LVDS 驱动器主要功能是将高速串行数据转换成低压差分信号然后进行传输,因此具有抗共模干扰和 EMI 的优点。图 1 为带预加重功能的 LVDS 驱动器

功能示意图。

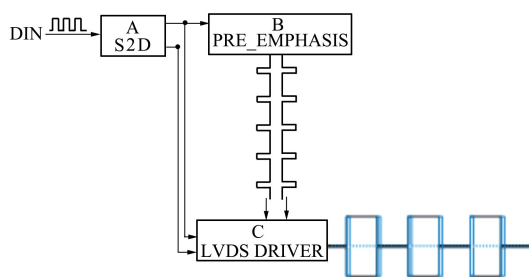


图 1 LVDS 发送器整体结构

LVDS 驱动器整体结构由图 1 中 3 个模块组成,其中模块 A 为单端转差分电路(single to differential, S2D)、模块 B 为预加重功能电路(PRE_EMPHASIS)、模块 C 为 LVDS 主驱动器电路。文中提出的高速高精度低功耗 LVDS 驱动器晶体管级电路如图 2 所示。

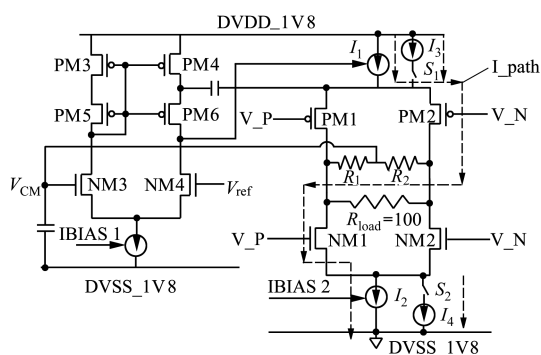


图 2 晶体管级 LVDS 发送器电路结构

图 2 中, DVDD_1V8 表示 1.8 V 数字电源电压, DVSS_1V8 表示 1.8 V 对应的数字地。 V_{CM} 表示 LVDS 驱动器的共模反馈电压, V_{ref} 表示参考电压, IBIAS2 表示电流漏 I_2 的偏置电压, I_1 和 I_2 分别为 PMOS 电流源和 NMOS 电流漏, I_3 和 I_4 分别为预加重时的电流源和电流漏, 切换开关 S_1 和 S_2 的控制时序由预加重逻辑电路产生。左侧电路为高增益宽带运算放大器电路, 右侧电路为典型桥型开关电流源的改进结构电路, 增加了预加重功能。

2 高速高精度低功耗驱动器电路设计

2.1 单端转差分电路

单端转差分信号电路实现将高速单端数字逻辑

信号转换成 2 路相位相差 180° 的差分信号。首先需要将待传输的高速数字信号经过由 2 个反相器组成的 buffer 电路缓冲后,一路经过由 2 个反相器组成的缓冲器电路,另一路经过一个反相器实现相位翻转 180°,从而得到一路与输入信号同相另一路与输入信号反相的差分信号,接着再经过一对由反相器交叉耦合对组成的边沿对齐电路,实现差分信号边沿对齐的功能,最后再分别经过一个 buffer 驱动电路后得到差分信号 LVDS_DIFF_P 和 LVDS_DIFF_N,图 3 为所设计的单端转差分信号电路。

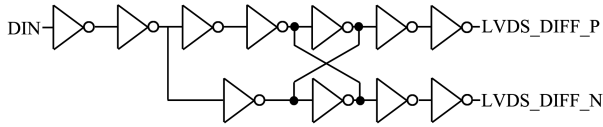


图 3 单端转差分信号逻辑电路

2.2 主驱动器电路设计

主驱动器电路采用的是典型桥型开关电流源拓扑结构设计,如图 4 所示。

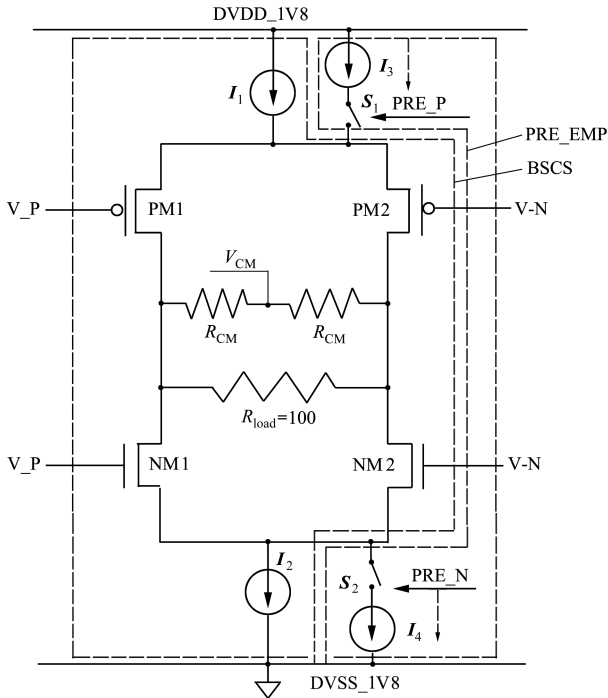


图 4 本文提出的 LVDS 发送器拓扑结构

图 4 中左侧虚线框内为典型 LVDS 驱动器桥型开关电流源拓扑结构,其中 PMOS 管 PM1 和 PM2、NMOS 管 NM1 及 NM2 组成的 4 个开关实现高速信号的状态切换,上下电流源 I_1 和 I_2 为标准 3.6 mA

电流。输入信号 V_P 和 V_N 是单端转差分后的高速信号,当发送逻辑电平为 1,也就是 V_P 为高 V_N 为低时,开关 PM2 和 NM1 打开,开关 PM1 和 NM2 关闭,从而形成从电流源 I_1 (典型值为 3.6 mA) 流经开关 PM2 和负载电阻(外接 100 Ω 精准电阻)以及开关 NM1 到达电流漏 I_2 (典型值为 3.6 mA),即形成压降为正 360 mV 的电压信号。反之,形成压降为负 360 mV 的电压信号,实现发送逻辑电平 0 的功能。

2.3 预加重功能电路设计

高速数据信号传输过程中,由于传输信道的不理想性、封装寄生电容的影响以及接收端容性负载大等因素,会造成传输速率越高,信号中的高频成分衰减越厉害,也就会使得信号波形变差和失真导致误码率升高,从而限制了信号传输速率。因此,为了达到 1 Gb/s 以上的高速信号传输,需要设计预加重电路对损失的高频成分进行补偿,从而改善高速率传输时的信号波形以提高信号完整性,减小误码率。根据所要传输的数据信号的波形,本文以常见的方波信号为例,波形如图 5 所示。

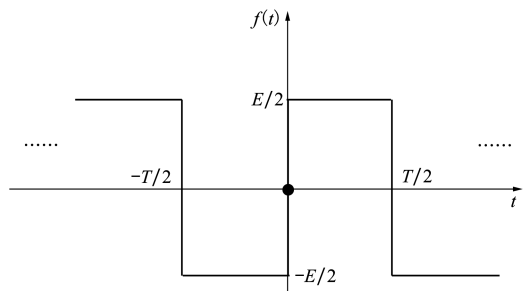


图 5 幅值为周期为 T 的方波信号

图 5 所示的方信号对应的时域表达式为

$$f(t) = \begin{cases} -\frac{E}{2}, & -\frac{T}{2} \leq t < 0 \\ \frac{E}{2}, & 0 \leq t < \frac{T}{2} \end{cases} \quad (1)$$

公式(1)所对应的傅里叶级数展开式为

$$f(t) = \frac{2E}{\pi} (\sin(\omega_0 t) + \frac{1}{3} \sin(3\omega_0 t) + \dots + \frac{1}{n} \sin(n\omega_0 t) + \dots) \quad (2)$$

由公式(2)可知,所要传输的高频方波信号的频谱由基波和众多奇次谐波分量组成,不包含偶次谐波成分。在高速信号传输过程,衰减最严重的是

方波信号的高频分量,包括 3 次谐波、5 次谐波、7 次谐波等高频分量,其中谐波次数越高衰减越严重。

本文设计的预加重功能电路基本原理是通过通过对高次谐波分量进行幅度增强处理,以期通过该方法实现对传输的高速信号进行高频分量补偿的目的。具体做法是利用预加重开关控制预加重电流源在高速信号电平切换的过程中对衰减严重的奇次高频谐波分量进行幅度增强,从而得到跟原始方波信号相比失真较小的方波信号。图 4 中右侧虚线框电路为预加重功能电路,由电流源 I_3 和电流漏 I_4 及状态切换开关 S_1 和 S_2 组成,是一种结构简单高效的预加重电路。预加重过程中幅度增强是通过开启和关闭上下电流源 I_3, I_4 来实现,因此能够有效改善高速传输时信号的质量,降低误码率。

3 共模反馈电路设计

3.1 共模负反馈电路

LVDS 驱动器共模反馈电路是通过负反馈将输出端信号的共模电压稳定在一个固定参考电压,共模负反馈环路的带宽和增益直接决定着 LVDS 发送器输出共模电压精度和差分输出信号波形对称性及其匹配性。由于 LVDS 驱动器需要驱动低阻抗大电容负载,大容性负载会进一步限制共模负反馈环路带宽。一般来说,共模反馈环路带宽要比输入信号频率高 4.6 倍以上,理论上才会确保系统得到及时响应并建立稳定态,但是对于 LVDS 发送器而言,传输速率高达 1 Gb/s 时,设计 4.6 GHz 以上带宽的运算放大器是一件非常困难和不现实的,那么如何保证在 1 Gb/s 以上数据传输速率时得到稳定的共模电压就是一个亟待解决的问题。

本文针对高达 1 Gb/s 以上的高速数据传输,提出了一种不同于米勒补偿的间接补偿法实现对共模反馈环路的补偿,既可以保证较高增益又可获得高带宽。下面分析当输入信号 V_P 为高, V_N 为低时的情形(V_P 为低, V_N 为高时的情况与之类似),LVDS 驱动器等效电路如图 6 所示,从等效电路可以看出 LVDS 驱动器共模反馈环路可等效为一个两级运放进行分析和设计。下面对 LVDS 驱动器等效的小信号电路模型进行理论推导和分析。

图 6 中 NM3、NM4 及 PM3~PM6 为典型五管运算放大器的改进结构,通过将电流镜负载管采用沟道长度分割方式^[13]进行设计,此设计的特点是

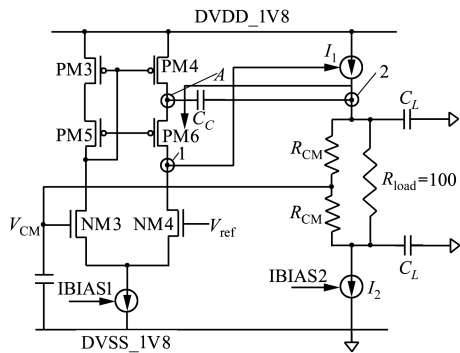


图 6 LVDS 发送器共模反馈环路等效电路

CMOS 晶体管 PM3 和 PM4 工作在深线性区而不是饱和区,这与常见的共源共栅结构采用的间接补偿法有着本质不同。采用沟道长度分割补偿法的优点是:①不增加额外晶体管数量,从电流镜负载输出节点 1 向内看进去的第一级等效输出阻抗和等效电容没有改变,唯一需要注意的是版图设计时需要将电流镜负载管的沟道长度人为地分割开以创建一个内部低阻节点 A,从而形成从第二级输出节点 2 经由补偿电容 C_c 通过低阻节点 A 流向节点 1 的补偿电流通路,实现对共模反馈环路的间接补偿;②第一级输出节点 1 和第二级输出节点 2 之间由于没有补偿电容 C_c 的存在,因此不会形成前向电流通路,也就不会产生右半平面零点。采用沟道长度分割方法后的补偿电容相比米勒补偿方式可以将补偿电容的大小缩小为原来的十分之一甚至更小,从而可以有效提升共模反馈运算放大器的带宽,图 7 为沟道长度分割补偿法原理和版图实现示意图。

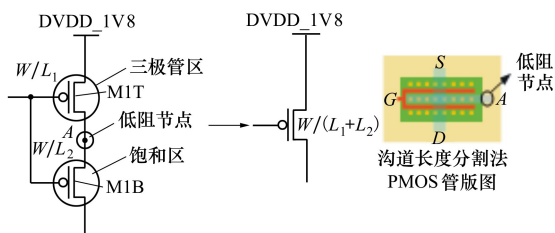


图 7 采用 Split-length 方法实现间接补偿^[13]

沟道长度分割时需要考虑两方面因素:①在保持典型五管运放结构不变的前提下,能够极大提高运放的单位增益带宽;②版图设计实现时能够满足晶体管之间的匹配性。因此综合考虑上述 2 个因

素,文中采用将沟道长度平均分配的方式是较为合理和容易实现的。

下面对 LVDS 驱动器采用沟道长度分割间接补偿法进行详细的小信号分析。图 8 是 LVDS 发送器共模反馈环路小信号等效模型,其中节点 1 对地的

等效电阻为 R_1 ,对地等效电容为 C_1 ;节点 2 对地等效电阻为 $R_2 \approx R_{ds} \parallel R_{CM} \parallel (R_{load} + R_{CM})$,节点 2 对地电容为 $C_2 \approx C_L$;低阻节点 A 的等效电阻为 $1/g_{mp}$,等效电容为 C_A 。

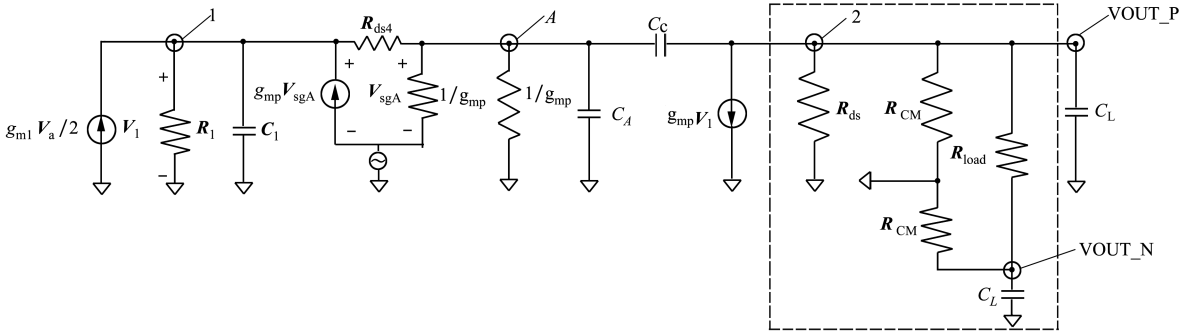


图 8 共模反馈环路小信号等效模型

根据文献[13]中对 2 级运放沟道长度分割法小信号推导结论并结合 LVDS 驱动器实际小信号模型,可推导得到 LVDS 发送器系统的零极点参数:

约定如下所示的符号含义: g_{m1} 为第一级运放输入管跨导, f_{un} 为单位增益带宽, A_1 为第一级增益, A_2 为第二级增益, A 为 2 级总增益, z_1 为第一个零点, p_1 为第一个极点(主极点), p_2 为第二极点(输出极点), p_3 为第一级镜像极点。

$$f_{un} = \frac{g_{m1}}{2\pi \times (2C_c)} \quad (3)$$

$$A = A_1 \times A_2 \quad (4)$$

根据小信号模型可知:第一级输出节点对地的等效寄生电阻和电容产生主极点

$$p_1 = \frac{2}{2\pi \times g_{m2} \times R_2 \times R_1 \times C_c} \quad (5)$$

第 2 个极点是由第一级运放电流镜镜像节点所贡献,其中镜像节点对应的极点频率为

$$p_3 = \frac{1}{2\pi \times R_3 \times C_3} = \frac{g_{mp}}{2\pi \times C_g} \quad (6)$$

节点 A 对应的间接电流补偿反馈路径形成了系统零点

$$z_1 = \frac{4g_{mp}}{3(C_c + C_A)} \quad (7)$$

输出节点对地所对应的小信号寄生参数产生输出极点

$$p_2 = \frac{1}{2\pi \times R_2 \times C_2} \quad (8)$$

设计时是用节点 A 产生的零点与输出节点产生的极点进行了抵消,也即上述所计算出 z_1 和 p_2 进行了零极点抵消。

3.2 共模检测电路

共模检测电路部分采用电阻分压方式实现。为了使得高速数据传输过程中,获得比较稳定的共模反馈电压,需要将运放的单位增益带宽设计较高,在容性负载一定的情况下,需要将共模检测电阻设计较小,以便将共模检测电阻对应的节点所贡献的极点推到单位增益带宽以外更高频率上,同时不影响环路稳定性。基于上述分析,本文为了充分利用共模检测电阻较小这一特点,将传统的 3.5 mA 电流源设计为 4.5 mA 电流源,也就意味着在高速数据传输过程中这额外 1 mA 也会对高速数据的高频分量进行补偿,同时结合第 4 节所设计的预加重逻辑电路综合实现对高频分量的补偿,从而提高高速数据传输时的信号完整性。

4 预加重逻辑产生电路设计

预加重逻辑是用来产生与发送的数字信号同步且具有固定预加重时间宽度的脉冲信号,预加重窗口时间长短是由要发送高速数据信号周期决定的,理论上一般预加重窗口时间取为 $(1/5 \sim 1/8) \times (1/f)$ 比较适合。预加重窗口时间大小直接决定预加重电流的大小,预加重窗口时间与预加重电流成

反比,因此需要根据系统设计指标和功耗约束选择合适的预加重窗口时间和预加重电流值,本文设计是按照数据速率 1.2 Gb/s,理论上预加重窗口时间为 $(1/5) \times (1/f) = 167 \text{ ps}$,实际按照 200 ps 进行设计。预加重电路是利用反相器、异或非门等组合逻辑电路设计实现,预加重输入信号由所发送的高速数据信号产生,预加重信号 PRE_IN 先经过由 2 个反相器组成的缓冲器电路,然后一路直接输入到异或非门输入端,另一路经过 3 个反相器组成的延时电路后输入异或非门输入端,异或非门电路对输入的 2 路信号进行组合运算后得到与所发送的高速数据信号同步的预加重脉冲 PRE_P 和 PRE_N,然后分别驱动预加重功能电路中的状态切换开关 S_1 和 S_2 ,通过准确控制切换开关 S_1 和 S_2 的开关时间实现预加重功能,图 9 为设计的预加重逻辑功能产生电路。

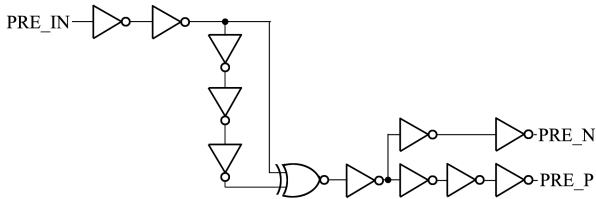


图 9 预加重逻辑产生电路

5 仿真验证结果及分析

采用图 10 所示的仿真测试模型对所设计的 LVDS 发送器进行功能仿真和验证,其中发送器端寄生 RC 主要包括 bond-wire 和 ESD 的寄生电容约为 1 pF、IO PAD 寄生电容约为 1 pF,PCB 走线寄生电阻约为 1 Ω、接收器端接负载阻抗和寄生电容分别为 100 Ω 和 10 pF,等效的总负载电容为 12 pF。

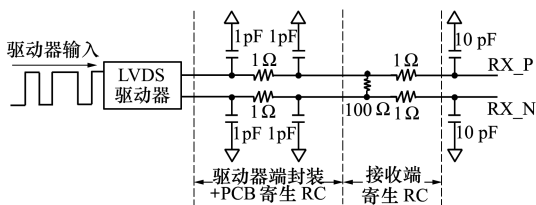


图 10 LVDS 驱动器仿真模型

5.1 环路增益和相位裕度仿真结果

文中提出的 LVDS 驱动器电路共模反馈环路使用 cadence 公司的 spectre 仿真工具进行验证,环路

稳定性仿真结果,包括低频增益、相位裕度及单位增益带宽等如图 11 所示。

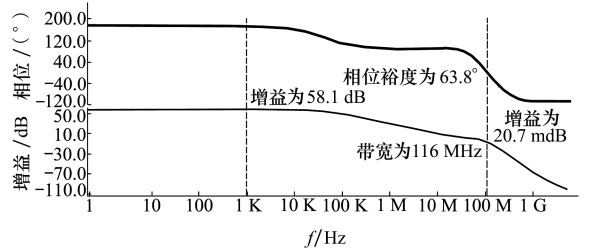


图 11 典型情况下环路增益和相位裕度

从图 11 可以看出,典型情况下 LVDS 驱动器低频环路增益为 58.1 dB,单位增益带宽达 116 MHz,相位裕度达到 63.8°,在保证高增益和相位裕度的同时极大提高了环路单位增益带宽。对设计的 LVDS 驱动器电路共模反馈环路进行 Corner 仿真结果如表 1 所示。

表 1 不同 Corner 下增益与相位裕度仿真结果对比

Corner	TT (27°C)	FF (27°C)	SS (27°C)	TT (125°C)	TT (-40°C)
增益/dB	58.1	68.2	42.5	46.4	62
相位/(°)	63.8	60.5	56.3	68.2	65.6

从表 1 的环路增益和相位裕度仿真结果分析可知:典型情况下低频环路增益为 58.1 dB,相位裕度为 63.8°,最差情况下(SS corner)低频环路增益为 42.5 dB,相位裕度为 56.3°,满足系统环路稳定条件。

5.2 瞬态功能仿真结果

当负载为 12 pF 时,采用 1.2 Gb/s 伪随机码信号进行仿真测试,得到的 LVDS 驱动器的输入输出信号波形如图 12 所示:

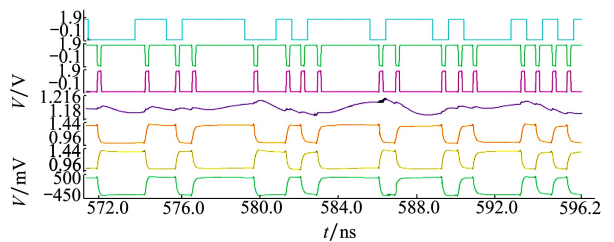


图 12 LVDS 发送器输出信号波形@1.2Gb/s

图 12 中波形从上往下分别表示发送的 1.2 Gb/s 伪随机码 DIN、预加重信号 (PRE_P 和 PRE_N)、共模信号、LVDS 驱动器单端输出信号

(LVDS_OUTP 和 LVDS_OUTN) 及差分信号。从图中可以看出 1.2 V 共模信号 V_{cm} 的最大纹波电压优于 15 mV, LVDS 驱动器差分信号 V_{od} 摆幅范围为 +370 mV 和 -375 mV 之间; 可看出所设计的 LVDS 驱动器在 1.2 Gb/s 速率时功能满足 LVDS 协议标准要求。

5.3 后仿真差分信号眼图

文中提出的采用沟道长度分割方法设计 LVDS 驱动器在版图设计时需要注意两方面事项: ①从不更改原有电路结构、晶体管尺寸参数及版图匹配性等三方面进行考量, 选择将需要沟道长度分割的 CMOS 晶体管的沟道长度进行二等分, 采取这种方式在版图阶段比较容易实现, 也是一种比较合理的

实现方案。②从 LVDS 驱动器整体版图设计上考虑, 由于 LVDS 驱动器传输的是高速差分信号, 在版图实现时要特别注意高速信号传输路径上信号走线的对称性和匹配性, 并尽可能降低高速差分信号链路金属走线带来的寄生参数对高频信号的干扰。首先, 采用 Mentor 公司的 calibre 验证工具对提出的 LVDS 驱动器整体版图提取寄生参数(包括寄生电阻、寄生电容等); 然后, 对包含所提取的寄生参数的电路网表再利用 cadence 公司 spectre 仿真工具进行仿真, 得到后仿真输出的高频差分信号; 最后, 利用 spectre 工具自带的眼图分析插件进行处理可得到图 13 所示的眼图结果。

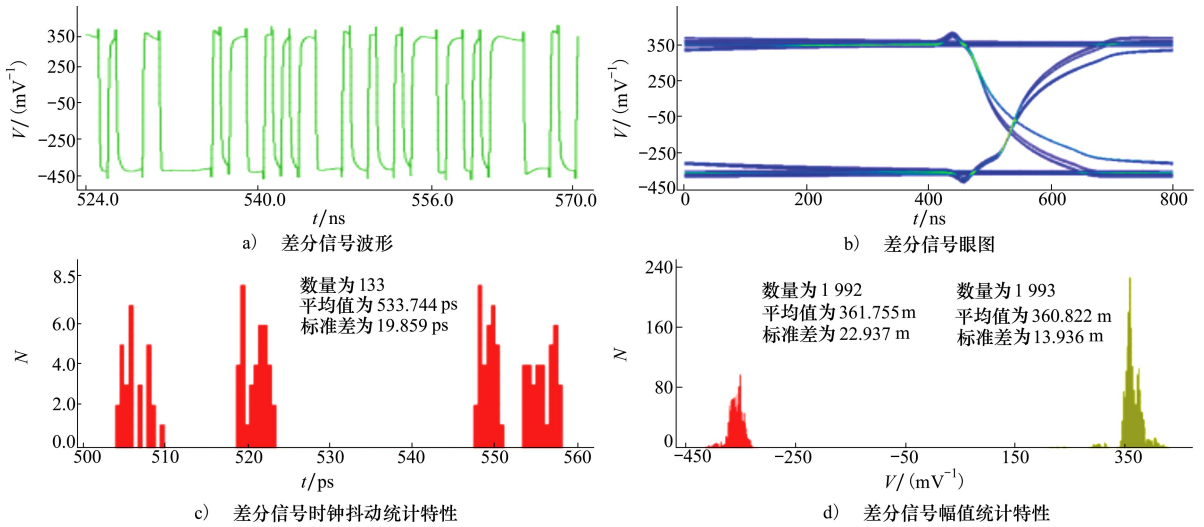


图 13 LVDS 驱动器输出信号

图 13 所示为 1.2 Gb/s 时的差分信号眼图, 从眼图可以看出, 差分信号摆幅统计均值分别为 361.76 mV 和 -360.82 mV, 标准偏差分别为 22.94 mV 及 13.94 mV, 周期抖动为 19.86 ps, 具有较高的精度。

5.4 不同文献中驱动器性能对比

表 2 为本文所提出的 LVDS 发送器设计方案在

驱动容性负载能力、传输速度、功耗及共模电压精度 3 个方面与相关文献中的 LVDS 发送器设计方案对比结果。表 2 中 C_{load} 表示容性负载, P_{total} 表示总功耗, ΔV_{cm} 表示共模反馈信号的变化。从表 2 的对比结果可知: 本文所提出设计方案在速度、功耗及共模电压精度 3 个主要性能指标方面均优于相关文献的设计。

表 2 不同文献中 LVDS 驱动器性能对比

参考文献	速度/(Mb · s ⁻¹)	C_{load} /pF	P_{total} /mW	工艺 μ m	ΔV_{cm} /mV	备注
本文	1 200	12	8.28	0.18	15	仿真结果
文献[1]	400	6	23.04	0.15	27	仿真结果
文献[3]	3 125	5	48.00	0.18	-	仿真结果
文献[7]	1 200	6	23.00	0.35	-	测试结果
文献[8]	1 200	6	67.50	0.13	-	测试结果
文献[11]	400	10	12.00	0.11	-	仿真结果
文献[12]	1 000	-	8.70	0.028	-	仿真结果

6 结 论

通过以上仿真验证可看出,通过采用本文所提出的高速高精度低功耗 LVDS 驱动器设计方案,利用沟道长度分割间接补偿法既可以获得高增益又可以获得较高的带宽,并没有带来额外的晶体管面积和功耗开销,非常适合高速低电源电压下工作,同时

共模电压的变化指标上获得了较高的精度,最大变化量不超过 15 mV;另外采用了结构简单高效的预加重技术对高速信号的高频成分进行有效补偿,从而提高了发送器传输速率和信号完整性,最终的 LVDS 发送器所有模块总功耗为 16 mW,对于负载电容大且对功耗要求严苛的高速高精度的应用场合,本文所提出的 LVDS 驱动器设计方案具有非常重要的工程应用价值和意义。

参考文献:

- [1] GRACEFFA G A, GATTI U, CALLIGARO C. A 400 Mbps Radiation Hardened by Design LVDS Compliant Driver and Receiver [C]//2016 IEEE International Conference on Electronics, Circuits and Systems, 2016: 109-112
- [2] YANG Zongxiong, LYU Xiaohua, LIU Huihua, et al. LVDS Driver Design for High Speed Serial Link in 0.13 μm CMOS Technology[C]//2011 International Conference on Computational Problem-Solving, 2011: 145-148
- [3] WONKI P, SUNG C L. Design of LVDS Driver Based CMOS Transmitter for a High Speed Serial Link[C]//2010 International Conference on Electronics and Information Engineering, 2010: 301-303
- [4] NITHINNATH V K, SHEKAR G. An Area Efficient Termination Resistance Calibration Mechanism for LVDS Transceiver in 55 nm CMOS[C]//2017 International Conference on Microelectronic Devices, Circuits and Systems, 2017: 1-5
- [5] Telecommunications Industry Association/ Electronic Industries Alliance. Electrical Characteristics of Low Voltage Differential Signaling(LVDS) Interface Circuits[S]. TIA/EIA-644A, 2001
- [6] IEEE Standards Association. IEEE Standard for Low Voltage Differential Signals(LVDS) for Scalable Coherent Interface[S]. 1596.3-1996
- [7] CHEN M D, MARTINEZ J S, NIX M, et al. Low Voltage Low Power LVDS Drivers[J]. IEEE Journal of Solid State Circuits, 2005, 40(2): 472-479
- [8] YEONG K C, YUNG M F, PENG K T, et al. 1.2Gb/s LVDS Interface[C]//2007 International Symposium on Integrated Circuits, 2007: 26-28
- [9] WANG Xihu, WU Longsheng, LIU Youbao, et al. Low Power LVDS I/O Interface for above 2Gb/s Operation[J]. Journal of Electronics, 2009, 26(4): 525-531
- [10] YANG Wang, WEI Xingai. Power Efficient Pre-Emphasis Method for Transmitters with LVDS Drivers[J]. Electronics Letters, 2014, 50(24): 1811-1813
- [11] GE Xiaoliang. The Design of a Global Shutter CMOS Image Sensor in 110 nm Technology [D]. Delft: University Netherlands, 2012
- [12] GIANLUCA T, FRANCESCO D C, VALENTINO L, et al. Design of LVDS Driver and Receiver in 28 nm CMOS Technology for Associative Memories[C]//2017 6th International Conference on Modern Circuits and Systems Technologies, 2017: 1-4
- [13] VISHAL S. Indirect Feedback Compensation Techniques for Multi-Stage Operational Amplifiers[D]. Idaho: University Boise state, 2007

Design of High Speed and Precision and Low-Power LVDS Driver for CMOS Image Sensor

LI Chuangze¹, HAN Benguang², HE Jie¹, WU Longsheng¹

(1. Xi'an Microelectronic Technology Institute, Xi'an 710065, China;
2. School of Microelectronics, Xi'an University, Xi'an 710065, China)

Abstract: Aiming at the requirement of high speed and precision, low-power and large-capacity load of serial data interface for aerospace super large array (15k×15k) CMOS image sensor, a design scheme low voltage differential signal (LVDS) driver by combining the split-length method with the pre-emphasis technique is proposed. Firstly, comparing with the general design schemes, the present scheme uses the split-length compensation method to increase effectively the unity-gain bandwidth while keeping the op-amp gain constant. Secondly, the pre-emphasis technique is used to compensate the LVDS driver for high-frequency components to improve the driving capability of the capacitive load and high speed signal integrity (SI). The simulation results show that the accuracy of the common-mode feedback voltage is improved by using the split-length compensation method, and also the common-mode voltage changes below 15 mV. The pre-emphasis technique is used to enhance the amplitude of the high-frequency components lost during the high-speed transmission. The quality of the signal eye diagram during high-speed transmission reduces the bit error rate, and both the transmission rate and the driving load capacity are two times more than the general design (1.2 Gb/s@12 pF), and the quiescent current consumption is only 4.6 mA@12 pF. The present LVDS driver design is implemented in a typical CMOS process of 0.18 μm.

Keywords: split-length; LVDS; pre-emphasis; high speed; high precision; low power