

预稳压高低温补偿高精度带隙基准电压源

刘晓轩, 李海松, 曹天骄, 李婷

(西安微电子技术研究所, 陕西 西安 710071)

摘 要:分析了带隙基准电压分段补偿技术与基本原理,提出一种具有预稳压功能的高低温补偿带隙基准电路。应用高低温补偿电路优化了温度系数,设置预稳压电路提高了带隙基准电路的电源抑制比。基于 0.35 μm 标准 CMOS 工艺设计并绘制了电路及版图。仿真结果表明,在 $-55\sim 125^{\circ}\text{C}$ 范围内,温漂系数仅为 $1.8\times 10^{-6}/^{\circ}\text{C}$;电源抑制比为 -84.6 dB (在 1 kHz 下);在 $2.6\sim 5\text{ V}$ 的电源幅度范围下,电源抑制性能为 $19.6\text{ }\mu\text{V/V}$ 。该电路可应用于高精度系统设计中。

关 键 词:分段补偿;预稳压电路;带隙基准;低温漂
中图分类号: TN432 **文献标志码:** A **文章编号:** 1000-2758(2022)06-1360-06

带隙基准因良好的电源抑制性能、精准输出、较强的温度独立性而被广泛应用于大规模集成电路中。文献[1]提出了与绝对温度呈平方关系的补偿电流,降低了高次项对基准电压的影响,但是该方法使用了大量的双极性晶体管,无法与标准 CMOS 工艺相兼容,限制了其应用范围。文献[2]提出了使用正负温度系数电阻来抵消 PN 结负温度系数,该方法受工艺制约,成品率受工艺波动影响,所以需要添加许多修调电路(trim net, TN)来保证精度,增加了设计难度。本文基于 0.35 μm 标准 CMOS 工艺提出一种具有高低温补偿功能的带隙基准源,采用正负温度系数电流相比较的方法控制补偿电流进行补偿,降低温度高次项对基准电压的影响,同时应用预稳压电路提高了带隙基准源的电源抑制比。

1 带隙基准及高阶曲率补偿原理

传统带隙基准利用相反温度系数电压相加得到^[3]。双极性晶体管正向偏置基极发射极电压(base and emit voltage, VBE)具有负温度特性,其值受半导体掺杂浓度、温度的影响,室温下约为 $-2\text{ mV}/^{\circ}\text{C}$;相同集电极电流,不同尺寸 VBE 差值

(delta base and emit voltage, ΔV_{BE})具有正温度特性,该值不受温度变化的影响,约为 $0.087\text{ mV}/^{\circ}\text{C}$ 。BE 结电压与温度相关表达式为^[4]

$$V_{\text{BE}}(T) = V_{\text{g0}} - [V_{\text{g0}} - V_{\text{BE}}(T_0)] \left(\frac{T}{T_0} \right) - (\eta - \alpha) V_{\text{T}} \ln \left(\frac{T}{T_0} \right) \quad (1)$$

式中: V_{g0} 为硅在绝对零度的带隙电压; T_0 为参考温度,单位为摄氏度; η 为工艺相关参数,根据不同工艺该值在 $3.6\sim 4$ 之间; α 为晶体管集电极电流温度参数; V_{T} 为热电压,常温下约为 25.8 mV ^[5]。

(1) 式对应曲线如图 1a) 所示。 V_{BE} 对温度的一阶导数可表示为

$$\frac{\partial V_{\text{BE}}(T)}{\partial T} = \left\{ -\frac{V_{\text{g0}} - V_{\text{BE}}(T_0)}{T_0} - (\eta - \alpha) \frac{k}{q} \right\} - (\eta - \alpha) \frac{k}{q} \ln \frac{T}{T_0} \quad (2)$$

结合 0.35 μm 标准 CMOS 工艺,将工艺参数值代入(2)式,对应曲线如图 1b) 所示,工艺参数值在表 1 列出。在 $-55\sim 125^{\circ}\text{C}$ 温度区间内, V_{BE} 的温度一次导数小于 0,解释了 V_{BE} 随温度单调递减趋势。

表 1 工艺参数值

参数	默认值
V_{g0}/V	1.164
$T_0/^{\circ}\text{C}$	25
$V_{\text{BE}}(T_0)/\text{V}$	0.685
η	3.8
x	1
$k/(\text{J} \cdot \text{K}^{-1})$	1.38×10^{-23}
q/C	1.602×10^{-19}

ΔV_{BE} 与温度成一次线性相关,表达式为

$$\Delta V_{\text{BE}} = V_{\text{BE1}} - V_{\text{BE2}} = V_T \ln n = MT \tag{3}$$

$$V_{\text{ref}} = V_{\text{BE}} + N_R \Delta V_{\text{BE}} = V_{\text{BE}} + N_R MT \tag{4}$$

$$M = \frac{k \ln n}{q} \tag{5}$$

式中, N_R 为产生与绝对温度呈正比电压 (proportional to absolute temperature, PTAT) 时所

使用的电阻比例值; M 为温度无关系数; n 为 V_{BE1} 与 V_{BE2} 发射极等效面积比值。

一阶带隙基准电压曲线如图 1c) 所示。 V_{BE} 与 ΔV_{BE} 相加可消除 (1) 式中一阶温度系数的影响, 即引入常数 M 与 (2) 式相加, V_{BE} 的温度一次导数沿纵坐标上移, 与横轴产生交点, 如图 1d) 所示。为了满足一阶带隙基准电压最优精度要求, $N_R M$ 取值范围为 $1.8 \times 10^{-3} \times (1 \pm 20\%)$ 。这解释了一阶带隙基准总是表现出先上升, 后下降的趋势, 但高次项仍对基准电压产生影响。对 (1) 式进行泰勒展开, 并对温度系数进行合并, V_{BE} 可表示为

$$V_{\text{BE}}(T) = V_{\text{BE0}} + \sum_{n=1}^{+\infty} \beta_n (T - T_0)^n \tag{6}$$

式中: V_{BE0} 为参考温度下 (1) 式中常数项合并值; β_n 为泰勒展开后温度系数合并值。

(6) 式更加直观地表明, 温度偏离参考温度温度越大, 系统产生的误差越大, 凸显了传统带隙基准仅消除一阶温度系数的局限性。

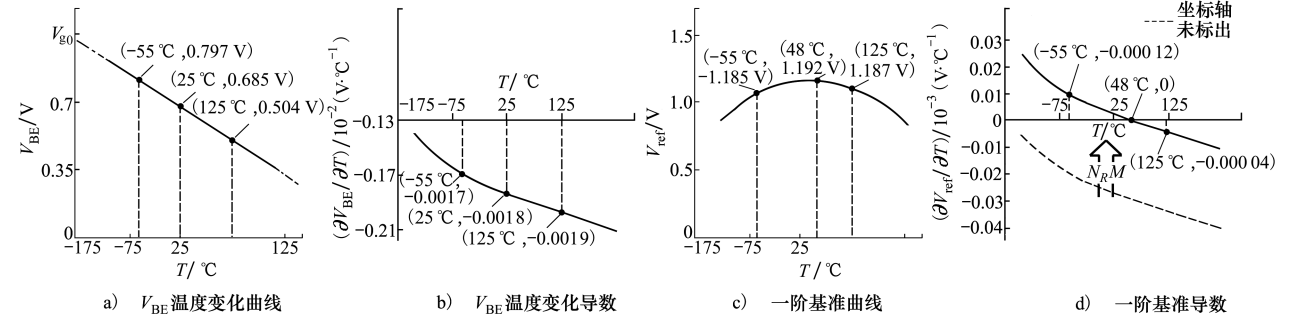


图 1 V_{BE} 及一阶带隙基准电压函数曲线

针对传统带隙基准的局限性, 本文提出了一种具有高低温补偿功能的带隙基准电压源, 补偿结构如图 2 所示。

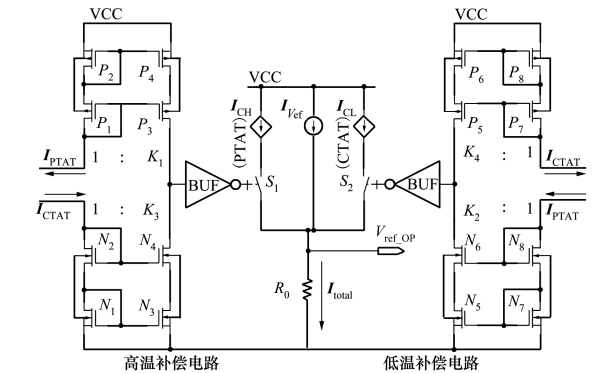


图 2 高低温补偿结构

在基准电压的高低温区域内引入额外的补偿电流 $I_{\text{CH}}, I_{\text{CL}}$, 对基准电压进行曲率修正, 并且在高低温区域使用了相反温度系数的补偿电流改善了不同温区带隙基准电压的温度特性^[6]。在 $-55 \sim 125^{\circ}\text{C}$ 范围内, 通过比较相反温度系数电流控制对应开关将基准电压补偿区间分为 3 段, 分别是低温补偿区间、中温不补偿区间、高温补偿区间。

如图 3a) 所示, 低温区间 $T \leq T_{\text{LOW}}$ 时, $K_2 I_{\text{PTAT}} < K_4 I_{\text{CTAT}}$, N_5, N_6 管无法提供 P_5, P_6 管所需电流, P_5, P_6 管进入线性区, P_5, N_6 管漏端电压升高至电源电压, 缓冲器发生翻转控制 I_{CL} 支路对输出节点进行补偿; 在高温区间 $T \geq T_{\text{HIGH}}$ 时, $K_1 I_{\text{PTAT}} > K_3 I_{\text{CTAT}}$, N_3, N_4 管进入线性区, P_3, N_4 管漏端电压升高至电源电压, 缓

冲器发生翻转控制 I_{CH} 支路对输出节点进行补偿,补偿后基准电压如图 3b) 中 V_{ref_OP} 所示。

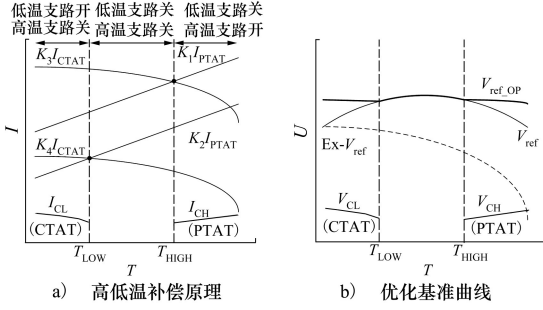


图 3 高低温补偿原理

输出电压表达式及温度特性表达式推导如下

$$V_{ref_OP} = \begin{cases} V_{ref} + I_{CL}R_0 & T \leq T_{LOW} \\ V_{ref} & T_{LOW} < T < T_{HIGH} \\ V_{ref} + I_{CH}R_0 & T \geq T_{HIGH} \end{cases} \quad (7)$$

$$\begin{aligned} I_{CL} &= M_1 I_{CTAT} \\ I_{CH} &= M_2 I_{PTAT} \end{aligned} \quad (8)$$

式中: V_{ref} 为一阶带隙基准电压; I_{CL} 为低温区间补偿电流; I_{CH} 为高温区间补偿电流; M_1, M_2 为比例系数。

结合(1) ~ (2) 式对(7) 式求导

$$\frac{\partial V_{ref_OP}}{\partial T} = \begin{cases} \frac{\partial V_{ref}}{\partial T} + N_{R1} M_1 \frac{\partial V_{BE}}{\partial T} & T \leq T_{LOW} \\ \frac{\partial V_{ref}}{\partial T} & T_{LOW} < T < T_{HIGH} \\ \frac{\partial V_{ref}}{\partial T} + \frac{N_{R2} M_2 k}{q} & T \geq T_{HIGH} \end{cases} \quad (9)$$

$$N_{R1} = \frac{R_0}{R_{CTAT}}, \quad N_{R2} = \frac{R_0}{R_{PTAT}} \quad (10)$$

(7) 和(9) 式对应高阶基准曲线及其一阶导数曲线如图 4 所示。

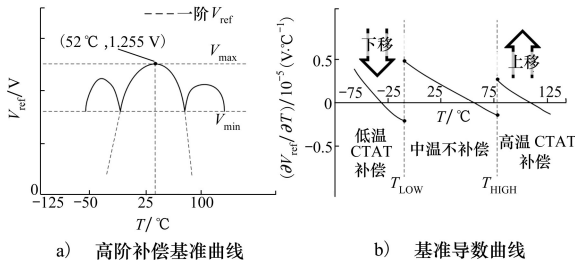


图 4 高低温补偿带隙基准

在低温区间内, 引入绝对温度互补型电流

(complementary to absolute temperature, CTAT) 对一阶带隙基准进行补偿, 使其对应导数曲线在区域内快速衰减, 这样保证了低温区间基准电压能获得最小变化量, 优化了基准电压-温度稳定性^[7-9]; 在高温区间内, 通过分析(1) 式的二阶导数关系(见(11) 式), 可知高温区间导数更接近常数, 采用 PTAT 电流对一阶带隙基准进行补偿是较为合理的高阶补偿方式。

$$\frac{\partial^2 V_{BE}}{\partial T^2} = \frac{-(\eta - \alpha)k}{qT} \quad (11)$$

在全温度区间内, 通过配置合适的 M_1, M_2 数值, 可以极大地减少带隙基准电压的绝对值变化量, 并且补偿结构使用了电阻比例值 N_R , 消除了电阻的温度系数对系统的影响, 提高了基准电压的输出精度。通过配置 K_1, K_2, K_3, K_4 , 可以获得精确的温度补偿点 T_{LOW}, T_{HIGH} , 这便于控制补偿电路在合理区间内对一阶带隙基准电压进行补偿, 获得最优化的带隙基准电压。

2 整体电路及仿真结果

基于上述原理所搭建的高阶补偿带隙基准电路如图 5 所示。考虑了 0.35 μm CMOS 工艺中寄生三极管增益较低, 占用面积较大, 本结构采用了源栅漏短接的 PMOS 作为硅带隙电压的产生源^[6]。 I_{COMP1} , I_{COMP2} 对应图 2 中高温补偿电路、低温补偿电路。通过运放 A_1, A_2, A_3 的电压钳位作用, 保证了 A, B, C 三点电压、 D, E 两点电压误差小于 500 μV 。

sub-1、sub-2、sub-3 分别为一阶带隙基准支路、低温补偿电流支路、高温补偿电流支路, 对应表达式为

$$I_{sub-1} = \frac{V_T R_3 \ln M_{21} + R_2 V_{DSB_3}}{R_2 R_4} \quad (12)$$

$$I_{sub-2} = \frac{M_1 V_T \ln M_{21}}{R_2} \quad (13)$$

$$I_{sub-3} = \frac{M_2 V_{DSB_1}}{R_1} \quad (14)$$

式中, M_{21} 为 MOS 管 DSB_2 与 DSB_1 的反向饱和电流 I_s 的比值。

输出高阶补偿带隙基准电压为上述 3 条支路的总和与 R_0 的乘积, 结合(12) ~ (14) 式可以得到, 输出电压与电阻的温度系数无关, 温度系数仅与输入

电流的温度系数相关。

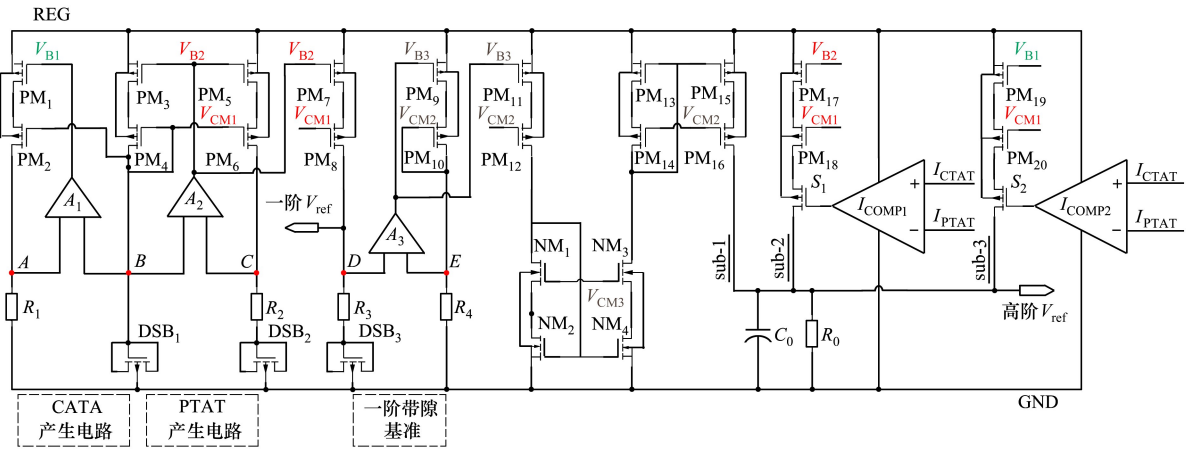


图 5 整体电路

图 6 为高阶补偿带隙基准电路所使用的钳位运放 A_1, A_2, A_3 电路示意图,并给出了低频增益以及主极点推导公式,图 7 为该运放增益与相位裕度仿真结果,经验证该运放低频增益为 88.9 dB,相位裕度为 61.6°,环路稳定。

$$A_{V0} \approx g_{mpa3} g_{mna6} [(g_{mna3} r_{ona3} r_{ona4}) \parallel r_{opa4}] \cdot [(g_{mna5} r_{ona5} r_{ona6}) \parallel r_{opa2}] \quad (15)$$

$$p_0 \approx \frac{1}{C_M [(g_{mna5} r_{ona5} r_{ona6}) \parallel r_{opa2}]} \quad (16)$$

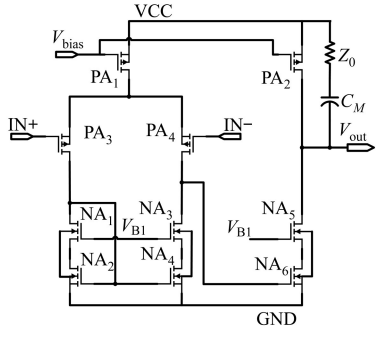


图 6 运放结构

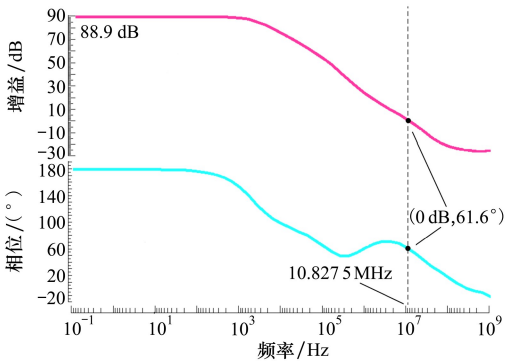


图 7 增益相位曲线

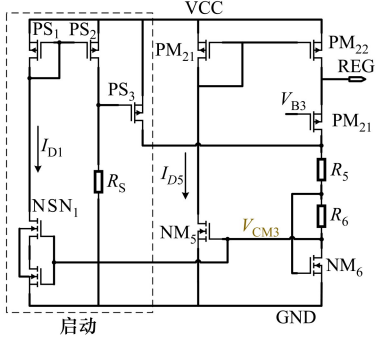


图 8 启动电路及自偏置电流源

实现带隙基准高性能电源噪声抑制特性,本设计采用了预稳压电路对 VCC 进行调制,电路结构如图 8 所示。 R_5, R_6, NM_6, NM_5 构成的负反馈环路提高了 REG 结点对地阻抗,并且使用了自偏置结构提供了带隙基准所需静态电流,结合图 5, PM_{21} 支路静态电流由 PM_9 决定,在数值上等于 $V_{ref}/R_4, I_{D5}$ 推导如 (17) 式所示,式中 S_n 为晶体管宽长比, k' 为晶体管迁移率与单位栅氧电容值的乘积,通过配置 NM_6 管宽长比的值, I_{D5} 与电源电压值近似无关,因此具有良好的电源独立特性,数值推导如 (18) 式所示。

$$I_{D5} = \frac{V_{ref} S_5}{R_4 S_6} - \frac{V_{ref} R_6}{R_4} \cdot \sqrt{\frac{2V_{ref}}{R_4 k' S_6}} + \frac{V_{ref} R_6^2}{R_4^2} \quad (17)$$

$$\text{当 } S_6 = \frac{2V_{ref} R_4}{k' R_6^2}, \text{ 则有}$$

$$I_{D5} \approx I_{ref} \frac{S_5}{S_6} \quad (18)$$

图 8 中 $PS_1, PS_2, PS_3, R_5, NSN_1$ 构成启动电路,启动阶段通过 PS_3 漏电流注入 R_5 支路,使自偏置电流源脱离简并点,上电结束后, V_{CM3} 升高使得 NSN_1 管漏电流 I_{D1} 增大, I_{D1} 通过镜像电流源 PS_1, PS_2 流入电阻 R_5 ,抬高 PS_3 栅端电压, PS_3 管关闭,启动电路关闭。

基于 0.35 μm 标准 CMOS 工艺绘制了版图设计,如图 9 所示,其中带隙电压产生对管 DSB_1 ,

DSB₂,运放电路输入对管 PA₃,PA₄ 采用了共质心匹配设计,整体版图面积为 0.054 mm²。

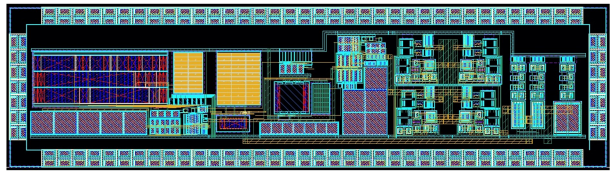


图 9 高低温补偿带隙基准电路版图

运用 Cadence IC617 平台 calibre 仿真工具对高低温补偿带隙基准进行了全 PVT(process, voltage, temperature) 仿真验证。仿真结果如图 10a) ~ 10d) 所示,补偿结构对基准电压进行了补偿,经补偿带隙基准在全温度范围内 $\Delta V_{\max} = 406 \mu\text{V}$, 温度系数为

$1.8 \times 10^{-6}/^{\circ}\text{C}$ 。当温度低于 -2.4°C 时,低温补偿电路进行工作;当温度处在 $-2.4 \sim 72.6^{\circ}\text{C}$ 之间时,高低温补偿电路不工作;当温度高于 72.6°C 时,高温补偿电路进行工作。图 10e) 电源抑制比(power supply rejection ratio, PSRR) 仿真结果说明:应用预稳压电路,提高了带隙基准电路的电源抗噪性能,低频带为 -114 dB (在 10 Hz 下), 高频带为 -18 dB (在 100 MHz 下)。图 10f) 电源电压抑制性能仿真结果说明;在 $2.6 \sim 5.0 \text{ V}$ 的电源电压变化范围内,输出基准电压变化仅为 $47 \mu\text{V}$, 即基准电压在 $\Delta V = 2.4 \text{ V}$ 的电源电压变化范围内, 电源抑制特性仅为 $19.6 \mu\text{V}/\text{V}$, 由于带隙基准电路电流源均采用共源共栅结构,增大了电流源内阻,降低了电源电压波动对基准电压输出值的影响。

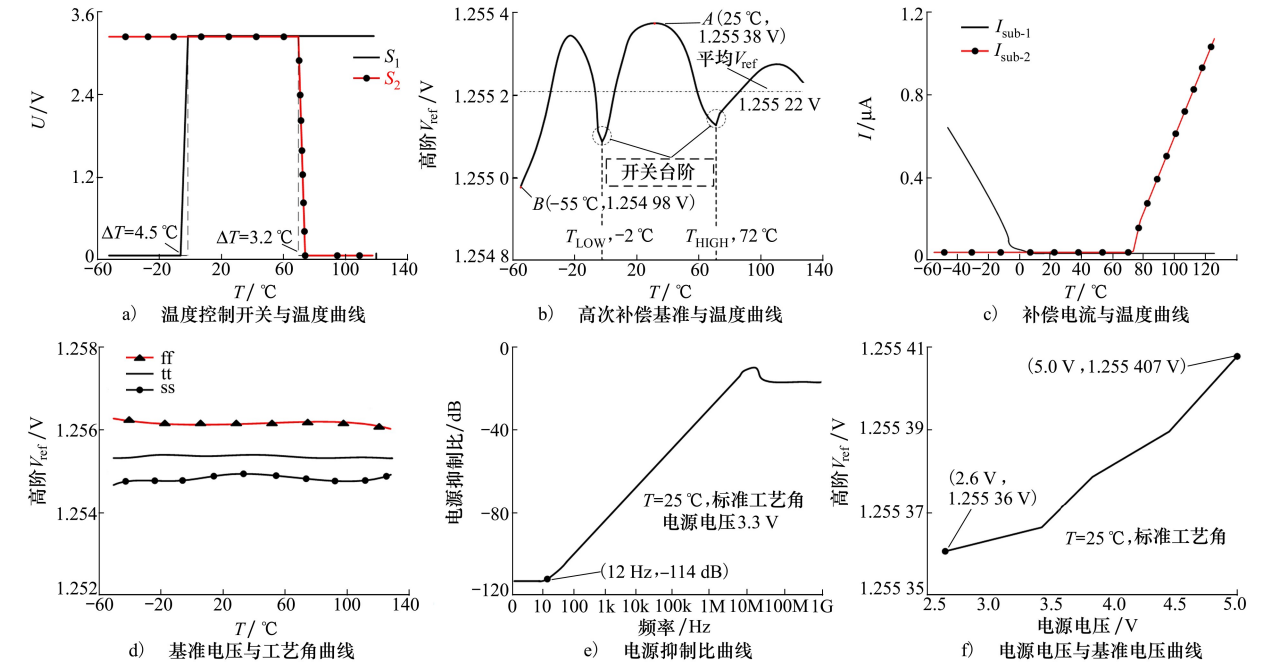


图 10 高低温补偿带隙基准仿真结果图

表 2 不同补偿带隙基准源的性能

补偿方法	工艺/ μm	温度系数/ $10^{-6}/^{\circ}\text{C}$	工作温度/ $^{\circ}\text{C}$	电源抑制比/ dB	基准电压/ V
本文	0.35	1.8	$-55 \sim 125$	$-86.4 (1 \text{ kHz})$	1.255
文献[2]	0.045	24.4	$-40 \sim 125$	$-12 (1 \text{ kHz})$	0.5
文献[7]	0.35	4.2	$-40 \sim 120$		1.211
文献[9]	0.18	49.4	$-40 \sim 125$		1.225

表 2 为本文与文献[2]曲率补偿、文献[7]电压曲率补偿、文献[9]分段补偿带隙基准源的参数比较结果,综合比较,本文提出的高低温补偿带隙基准

源在温度系数、PSRR 方面具有更好的性能。

3 结 论

本文基于分段补偿技术设计了一款高低温补偿带隙基准源,在设计温度范围内温漂系数仅为 $1.8 \times 10^{-6}/^{\circ}\text{C}$,高性能运放及预稳压电路的使用提高了带隙基准源精度及电源抑制性能。该设计补偿结构简单、稳定,补偿点易于控制,可广泛应用于高精度集成电路中。

参考文献:

- [1] BEHZAD Razavi. Design of analog CMOS integrated circuits[M]. 3rd ed. New York: McGraw Hill, 2002: 312-314
- [2] NAGULAPALLI R, PALANI R K, BHAGAVATULA S. A 24.4 ppm/°C voltage mode bandgap reference with a 1.05 V supply[J]. IEEE Trans on Circuits and Systems II: Express Briefs, 2021, 68(4): 1088-1092
- [3] 赵鹏飞, 甘业兵. 一种宽电源电压范围的电流基准电路[J]. 微电子学与计算机, 2021, 38(6): 72-76
ZHAO Pengfei, GAN Yebing. A current reference topology with wide supply voltage range[J]. Microelectronics & Computers, 2021, 38(6): 72-76 (in Chinese)
- [4] CHEN H M, LEE C C. A sub-1 ppm/°C precision bandgap reference with adjusted-temperature-curvature compensation[J]. IEEE Trans on Circuits and Systems I: Regular Papers, 2017, 64(6): 1308-1317
- [5] 陆航, 蔡小五, 韩郑生, 等. 一种宽电源带有高阶温度补偿的电压基准电路[J]. 微电子学与计算机, 2020, 37(12): 38-41
LU Hang, CAI Xiaowu, HAN Zhengsheng, et al. A wide power vooltage reference with high-order curvature compensation[J]. Misroelectronics & Compture, 2020, 37(12): 38-41 (in Chinese)
- [6] LEE C C. A high-precision bandgap reference with a v -curve correction circuit[J]. IEEE Access, 2020, 8: 62632-62638
- [7] DUAN Q, ROH J. A 1.2-V 4.2-ppm/°C high-order curvature-compensated CMOS bandgap reference[J]. IEEE Trans on Circuits and Systems I: Regular Papers, 2015, 62(3): 662-670
- [8] VULLIGADDALA V B, ADUSUMALLI R, SINGAMALA S, et al. A digitally calibrated bandgap reference with 0.06% error for low-side current sensing application[J]. IEEE Journal of Solid-State Circuits, 2018, 53(10): 2951-2957
- [9] AKSHAYA R, SIVA S Y. Design of an improved bandgap reference in 180 nm CMOS process technology[C]//IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology, 2017

A high or low temperature compensation bandgap reference voltage with pre-regulated voltage circuit

LIU Xiaoxuan, LI Haisong, CAO Tianjiao, LI Ting

(Xi'an Microelectronic Technology Institute, Xi'an 710071, China)

Abstract: The paper analyzes the principles of piecewise compensation technology and then proposes a high or low temperature compensation bandgap reference circuit that has pre-regulated voltage. The high or low temperature compensation circuit is utilized to optimize the power supply rejection ratio and the temperature drift coefficient. The standard 0.35 μm CMOS process is used to design the circuit and its layout. The simulation results show that the temperature drift coefficient is $1.8 \times 10^{-6} / ^\circ\text{C}$ in the range from -55 to 125°C , that the power supply rejection ratio is -84.6 dB at 1 kHz and that the power supply rejection performance is only $19.6 \mu\text{V/V}$.

Keywords: piecewise compensation; pre-regulated voltage circuit; bandgap reference; temperature drift

引用格式: 刘晓轩, 李海松, 曹天骄, 等. 预稳压高低温补偿高精度带隙基准电压源[J]. 西北工业大学学报, 2022, 40(6): 1360-1365

LIU Xiaoxuan, LI Haisong, CAO Tianjiao, et al. A high or low temperature compensation bandgap reference voltage with pre-regulated voltage circuit[J]. Journal of Northwestern Polytechnical University, 2022, 40(6): 1360-1365 (in Chinese)