

一种新型级联 CDSOGI-PLL 的电网电压同步信号检测技术

柯善文, 李玉忍

(西北工业大学 自动化学院, 陕西 西安 710072)

摘 要:基于双二阶广义积分器的锁相环 DSOGI-PLL 在电网电压含有大量低次谐波时,其滤波效果不理想,锁相环提取的同步信号频率出现波动。在 DSOGI-PLL 的基础上,提出一种新型的级联锁相环结构 CDSOGI-PLL(cascade second-order generalized integrator PLL)。该结构利用级联的 SOGI 模块同时削弱电网电压中的各次谐波和间谐波,从而减少谐波对锁相环的影响,准确地提取电网电压同步信号。Matlab 仿真和实验结果均表明,文中提出的新型 CDSOGI-PLL 在电网电压不对称和含有大量低次谐波时能有效、准确地提取基波的正序分量、频率和相位。

关 键 词:锁相环;二阶广义积分器;谐波;基波正序分量

中图分类号:TM464

文献标志码:A

文章编号:1000-2758(2023)05-0842-08

并网逆变器作为新能源与电网的接口,其控制策略的研究尤为关键,其中准确提取电网电压信息实现并网运行更是一个基本问题^[1-2]。除了发生故障外,电力系统稳态运行时,电网电压也可能出现不平衡和畸变等现象^[3-4]。因此,并网控制策略需要解决各种电网异常状态的问题,达到与电网的有效同步。

目前,电网电压同步信号的提取方法应用最广泛的是采用锁相环及其改进技术。当三相电网电压对称时,基于同步旋转框架 SRF-PLL(synchronous rotating frame-phase locked loop)的锁相环可以准确地提取电压同步信号^[5-6],但是,对于具有多种谐波的不平衡电网电压,则无法准确提取^[7-8]。考虑到谐波的存在,文献[9-13]在 SRF-PLL 中添加了 MAF(移动平均滤波器)、NF(陷波滤波器)等滤波器,用于消除双频谐波的影响,并获得电网电压同步信号。当电网频率漂移时,数字实现过程中频率估计存在误差,滤波效果受到一定影响。

由于 SOGI 具有频率选择和滤波功能,广泛应

用于锁相环技术^[14-16]。文献[17]提出基于双二阶广义积分器的锁相环(dual second-order generalized integrator PLL,DSOGI-PLL),该锁相环利用 SOGI 模块先滤除电网谐波,然后提取电网电压正序分量。该方法具有响应速度快以及暂态性能好的特点,但在电网电压含有多种谐波且低次谐波含量高时,提取的正序分量中将会出现不可忽略的纹波。考虑到在更大程度上削弱输入电压的谐波,文献[18]提出采用多个 SOGI 模块并联,并通过每个并联 SOGI 模块的输出信号交叉前馈的控制方法实现基波分量与各次谐波的分离。这种多二阶广义积分器锁相环(multiple second-order generalized integrators,MSOGI)可以准确提取电网电压的基波正序分量,但是,如果电网电压中的谐波类型未知,则无法确定 SOGI 模块的数量。文献[19]在 DSOGI-PLL 的基础上进行了一些改进,首先消除了输入电压中的已知谐波,接着分离出输入电压的正序和负序分量并提取电网电压同步信号。结果相对准确,但是,当输入电压中存在多种谐波时,改进的

收稿日期:2022-10-13

作者简介:柯善文(1982—),西北工业大学博士研究生,主要从事新能源发电及控制技术研究。

通信作者:李玉忍(1962—),西北工业大学教授,主要从事飞机电力系统、电力电子与电力传动研究。

e-mail:liyuren@nwpu.edu.cn

锁相环需要级联多级谐波消除模块,从而增加系统延迟并降低系统的动态性能。

在 DSOGI-PLL 的基础上,提出一种新型的级联 SOGI 锁相环结构 CDSOGI-PLL。该锁相环结构利用 SOGI 正交输出的振幅衰减特性在 PLL 前端抑制输入电压中的谐波和间谐波,可以根据电网电压的失真程度灵活选择级联 SOGI 模块的级数,从而准确提取电网电压同步信号。

1 DSOGI-PLL

经过 SOGI 模块后,电网电压信号不仅可以转换为 2 个正交信号,而且其高次谐波也可以在一定程度上得到抑制。SOGI 结构如图 1 所示。

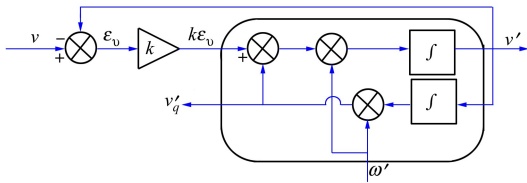


图 1 二阶广义积分器(SOGI)

图 1 中两路 SOGI 模块正交输出信号 v' 和 v_q' 分别用以下传递函数定义

$$D(s) = \frac{v'}{v}(s) = \frac{k\omega's}{s^2 + k\omega's + \omega'^2} \quad (1)$$

$$Q(s) = \frac{v_q'}{v}(s) = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2}$$

公式(1)中的 ω' 和 k 分别是滤波器的谐振频率和系统增益,其中 k 取值 $\sqrt{2}^{[20]}$,而输出信号 v' 和 v_q' 分别是输入信号的同相和正交信号。很明显,由(1)式可知,当输入信号频率 $\omega = \omega'$ 时,输出信号 v' 无静差跟踪输入信号 v 。通常,SOGI 的谐振频率设定为电网电压基波频率 $\omega' = \omega_0$

$$\begin{bmatrix} v' \\ v_q' \end{bmatrix} = V |D(j\omega)| \begin{bmatrix} \sin(\omega t + \phi + \angle D(j\omega)) \\ -\frac{\omega'}{\omega} \cos(\omega t + \phi + \angle D(j\omega)) \end{bmatrix} \quad (2)$$

式中

$$|D(j\omega)| = \frac{k\omega\omega'}{\sqrt{(k\omega\omega')^2 + (\omega^2 - \omega'^2)^2}} \quad (3)$$

$$\angle D(j\omega) = \arctan \frac{\omega'^2 - \omega^2}{k\omega\omega'} \quad (4)$$

对于三相电压不平衡且含有多种谐波的电力系统,传统的 SRF-PLL 无法准确地检测电压同步信号,因此 DSOGI-PLL 在 SRF-PLL 基础上增加 SOGI 正交信号发生模块和正序分量计算模块 PSC (positive sequence calculator) 来分别抑制电网电压中的谐波干扰和幅值的不平衡,其结构如图 2 所示。

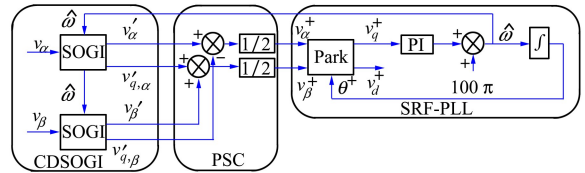


图 2 DSOGI-PLL 结构图

电压经过 Clark 变换到两相静止坐标系下得到分量 v_α 和 v_β ,并经过 PSC 模块计算出电压的正负序分量 v_α^+ 和 v_β^+ 。 v_α^+ 和 v_β^+ 通过 Park 变换到同步旋转坐标系得到 v_d^+ 和 v_q^+ 后,通过控制 v_q^+ 为 0,SRF-PLL 能很好地完成锁相。

$$\mathbf{v}_{\alpha\beta}^+ = \begin{bmatrix} v_\alpha^+ & v_\beta^+ \end{bmatrix}^T = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} \mathbf{v}_{\alpha\beta} \quad (5)$$

$$\mathbf{v}_{\alpha\beta}^- = \begin{bmatrix} v_\alpha^- & v_\beta^- \end{bmatrix}^T = \frac{1}{2} \begin{bmatrix} 1 & q \\ -q & 1 \end{bmatrix} \mathbf{v}_{\alpha\beta} \quad (6)$$

式中, $q = e^{-j\pi/2}$,是一个 90° 滞后的移相运算。由(5)~(6)式可知,电网电压正序分量的提取需要分别获得输入信号的同相信号和正交信号。

2 新型级联 CDSOGI-PLL

DSOGI-PLL 中的单级 SOGI 模块可以衰减电网电压中出现的高次谐波。当输入信号为 n 次谐波时,即 $\omega = n\omega_0$,根据(2)~(6)式可以得出同相输出端的输出信号幅值如(7)式所示

$$|D(jn\omega_0)| \approx \sqrt{2}/n \quad (n \geq 5) \quad (7)$$

从(7)式可以看出, n 次谐波经过一次 SOGI 模块后,同相输出端幅值经历大幅衰减,特别地, n 值越大,幅值衰减越多, n 值越小时,幅值衰减越小,因此,SOGI 模块具备高频滤波功能,抑制低次谐波的能力有限,对于含有低次谐波的电网条件,有必要提出一种能够衰减各种谐波的策略。

2.1 低频谐波抑制机理

通常,电网电压中的直流分量和偶次谐波分量

可以忽略^[19],在 Clark 变换后零序分量也会消除,因此,电网三相电压可表示为

$$\begin{cases} v_a = \sum_{n=1,5,7,\dots} [V_n^+ \cos(n\omega_0 t + \theta_n^+) + V_n^- \cos(-n\omega_0 t + \theta_n^-)] \\ v_b = \sum_{n=1,5,7,\dots} [V_n^+ \cos(n\omega_0 t + \theta_n^+ - 2\pi/3) + V_n^- \cos(-n\omega_0 t + \theta_n^- + 2\pi/3)] \\ v_c = \sum_{n=1,5,7,\dots} [V_n^+ \cos(n\omega_0 t + \theta_n^+ + 2\pi/3) + V_n^- \cos(-n\omega_0 t + \theta_n^- - 2\pi/3)] \end{cases} \quad (8)$$

式中: v_n^+ 和 v_n^- 分别为电网电压 n 次谐波正负序分量的幅值; θ_n^+ 和 θ_n^- 分别为 n 次谐波正负序分量的初相。

对(8) 式进行 Clark 变换,可得

$$\begin{cases} v_\alpha = \sum_{n=1,5,7,\dots} [V_n^+ \cos(n\omega_0 t + \theta_n^+) + V_n^- \cos(-n\omega_0 t + \theta_n^-)] \\ v_\beta = \sum_{n=1,5,7,\dots} [V_n^+ \sin(n\omega_0 t + \theta_n^+) + V_n^- \sin(-n\omega_0 t + \theta_n^-)] \end{cases} \quad (9)$$

$$v_{\alpha\beta} = v_{\alpha\beta}^+ + v_{\alpha\beta}^- + \sum_{n=5,7,\dots} v_{\alpha\beta}^n \quad (10)$$

式中

$$v_{\alpha\beta}^+ = [v_\alpha^+ \quad v_\beta^+]^T = V_1^+ \begin{bmatrix} \cos(\omega_0 t + \theta_1^+) \\ \sin(\omega_0 t + \theta_1^+) \end{bmatrix} \quad (11)$$

$$v_{\alpha\beta}^- = [v_\alpha^- \quad v_\beta^-]^T = V_1^- \begin{bmatrix} \cos(-\omega_0 t + \theta_1^-) \\ \sin(-\omega_0 t + \theta_1^-) \end{bmatrix} \quad (12)$$

$$v_{\alpha\beta}^n = [v_\alpha^n \quad v_\beta^n]^T = V_n^+ \begin{bmatrix} \cos(n\omega_0 t + \theta_n^+) \\ \sin(n\omega_0 t + \theta_n^+) \end{bmatrix} + V_n^- \begin{bmatrix} \cos(-n\omega_0 t + \theta_n^-) \\ \sin(-n\omega_0 t + \theta_n^-) \end{bmatrix} \quad (13)$$

2.2 谐波消除模块

将(9)式输入到双 SOGI 模块,可得

$$\begin{cases} v'_\alpha = v_\alpha^+ + v_\alpha^- + \sum_{n=5,7,\dots} \frac{\sqrt{2}}{n} v_\alpha^{*n} \\ v'_{q,\alpha} = v_\beta^+ - v_\beta^- + \sum_{n=5,7,\dots} \frac{\sqrt{2}}{n^2} v_\beta^{*n} \\ v'_\beta = v_\beta^+ + v_\beta^- + \sum_{n=5,7,\dots} \frac{\sqrt{2}}{n} v_\beta^{*n} \\ v'_{q,\beta} = -v_\alpha^+ + v_\alpha^- - \sum_{n=5,7,\dots} \frac{\sqrt{2}}{n^2} v_\alpha^{*n} \end{cases} \quad (14)$$

式中: $v_\alpha^{*n} = v_\alpha^n \angle D|_{\omega=n\omega_0}$, $v_\beta^{*n} = v_\beta^n \angle D|_{\omega=n\omega_0}$ 。

从(14)式可以看出模块 SOGI 的正交输出端中基波的正序和负序幅值不变,但相位发生了 90°变化,而谐波除了相位发生变化外,幅值也变成了原来的 $\sqrt{2}/n^2$ 。如果将正交输出端中的输出值再经过一次 SOGI 模块,则基波正负序幅值依然不变,而谐波

的幅值会再一次经历大量衰减。电网中常见的谐波次数 5,7,11,13,⋯,以及一些间谐波(n 值不为整数时),在经过 m 级 SOGI 模块后,同相和正交输出端谐波的幅值将分别变为初始值的 p_1 和 p_2 倍。

$$\begin{aligned} p_1 &= (\sqrt{2})^m / n^{2m-1} \\ p_2 &= (\sqrt{2})^m / n^{2m} \end{aligned} \quad (15)$$

式中, $n = 5, 7, 11, 13, \dots$ 。这个结论同样适用于间谐波(即 n 大于 5 且不为整数)。

根据以上分析,将 m 级 SOGI 模块通过正交输出端进行级联,所得结构图如图 3 所示。

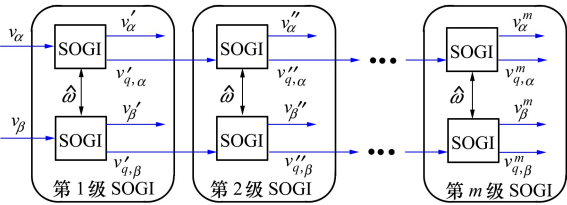


图 3 m 级 SOGI 模块级联结构

图 3 中,与第 1 级 SOGI 的输入谐波相比,第 m 级 SOGI 的同相输出谐波经历了大量的衰减。表 1 列出了图 3 中不同级数 m 的滤波系统衰减增益。

表 1 图 3 中不同 m 值的谐波衰减增益 dB

级数 m	$n=5$	$n=7$	$n=11$	$n=13$
1	25	30.8	38.6	41.5
2	50	61.6	77.2	83.1
3	75	92.4	115.9	124.6
4	无穷大	无穷大	无穷大	无穷大

为分析方便,以下按照 SOGI 模块级数 m 来标记不同的方法,其中 $m = 1$ 表示方法一,即传统 DSOGI-PLL; $m = 2$ 和 $m = 3$ 分别表示本文所提方法 CDSOGI-PLL 的 2 级和 3 级结构; $m = 4$ 表示文献 [19] 提出的改进型 DSOGI-PLL 方法。

很明显,从表 1 中可以看出,SOGI 模块级数 m 每增加 1 时,所有次谐波的衰减增益成比例增加。当采用方法一时,各次谐波的衰减增益较小,尤其是 $n = 5, 7$,低次谐波,只有在电网电压发生轻微畸变时才能勉强适用。当电网电压低次谐波含量较大时,适合采用方法二,并且依据电网电压畸变程度大小来选择不同的级联结构,如可选择 $m = 2$ 或 $m = 3$ 。当 $m = 3$ 时,电网中存在的所有次谐波均可以被大量削弱直到可以忽略不计。虽然在 $m = 4$ 时,即方法三,各次谐波可获得理论上无穷大的衰减增益,但前提是谐波成分必须已知,另外, m 取值越大系统快速性能越弱。因此,锁相环方法的选择需要综合考虑系统的动态性能和抗干扰性能 2 个因素。

2.3 改进型的锁相环结构

根据以上分析结论可知,不考虑谐波相位,对于谐波次数 $n \geq 5$,谐波含量经过 m 级 SOGI 模块滤波后可以忽略不计,因此,最后一级 2 个 SOGI 模块的同相输出和正交输出可以近似重写成为(以 $m = 2$ 为例):

$$\begin{cases} v_{\alpha}^m = v_{\beta}^+ - v_{\beta}^- \\ v_{q,\alpha}^m = -v_{\alpha}^+ - v_{\alpha}^- \end{cases} \quad (16)$$

$$\begin{cases} v_{\beta}^m = -v_{\alpha}^+ + v_{\alpha}^- \\ v_{q,\beta}^m = -v_{\beta}^+ - v_{\beta}^- \end{cases} \quad (17)$$

(16)~(17) 式都仅含有基波的 α, β 轴正负序分量,通过简单的数学操作可以将基波的正序分量提取出来。

$$\begin{cases} v_{\alpha}^+ = -\frac{v_{\beta}^m + v_{q,\alpha}^m}{2} \\ v_{\beta}^+ = \frac{v_{\alpha}^m - v_{q,\beta}^m}{2} \end{cases} \quad (18)$$

改进后的锁相环结构如图 4 所示。

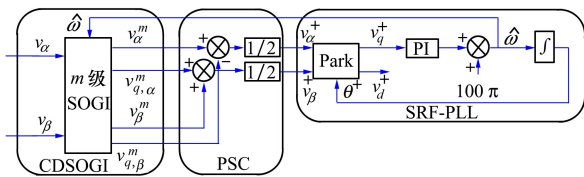


图 4 CDSOGI-PLL 结构

图 4 中第一部分是指 m 级 SOGI 模块级联的滤波结构 CDSOGI,其可以采用上面提到的 2 种滤波结构,第二部分是 PSC,第三部分为传统 SRF 锁相环结构。

3 系统特性分析

3.1 系统稳态特性

图 5 为 2 级 SOGI 模块级联结构,该结构的空间状态方程可以写成(19)式,式中 x 是状态变量, y 是输出变量。很明显,SOGI 模块表现为一个非线性系统,系统中的动态响应和稳定性取决于 3 个参数,也就是输入信号的幅值、频率和 K 的值。

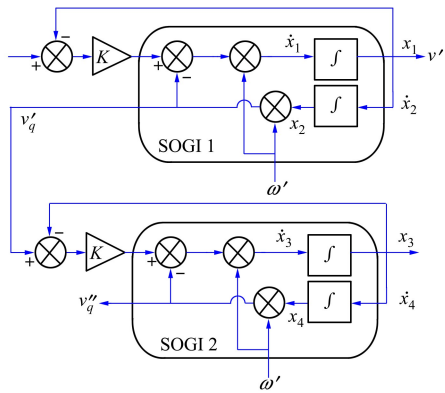


图 5 2 级 SOGI 模块级联结构图

$$\begin{aligned} \dot{x} = Ax + Bv \Rightarrow \begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \dot{x}_3 \\ \dot{x}_4 \end{bmatrix} &= \begin{bmatrix} -k\omega' & -\omega'^2 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & k\omega'^2 & -k\omega' & \omega'^2 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \end{bmatrix} + \begin{bmatrix} k\omega' \\ 0 \\ 0 \\ 0 \end{bmatrix} v \\ &\quad (19) \end{aligned}$$

$$y = Cx \Rightarrow \begin{bmatrix} v'' \\ v_q'' \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & \omega' \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \end{bmatrix} \quad (20)$$

考虑到稳态运行条件,当 $x_1 = v$ 和 $x_3 = qv' = x_2\omega'$, (19) 式可以变换为

$$\dot{\bar{x}} = \begin{bmatrix} \dot{\bar{x}}_1 \\ \dot{\bar{x}}_2 \\ \dot{\bar{x}}_3 \\ \dot{\bar{x}}_4 \end{bmatrix} = \begin{bmatrix} 0 & -\omega'^2 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & -\omega'^2 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} \bar{x}_1 \\ \bar{x}_2 \\ \bar{x}_3 \\ \bar{x}_4 \end{bmatrix} \quad (21)$$

式中, $\bar{x}$ 表示状态变量稳态值。从(21)式的雅克比矩阵可以看出其特征值都具有零实部, 这表明系统的振荡特性, 并在输入 ω' 频率的周期轨道上保持稳态响应。另外, 各 SOGI 模块状态变量相互解耦, 即使继续增加模块级数, 系统的振荡特性和稳态响应保持不变。

3.2 系统动态特性

参考 SOGI 传递函数, 考虑到频率 $\omega' \approx \omega$ 且为一个常数, 对于给定的正弦输入信号 $v = V\sin(\omega t + \phi)$, 单个 SOGI 模块的同相端输出时域响应可以写成

$$v' = -\sqrt{2}V\sin(\sqrt{2}\omega t/2) \cdot e^{-(\sqrt{2}\omega'/2)t} + V\sin(\omega t) \quad (22)$$

然而, 2 级 SOGI 模块级联时, 对于同样的正弦输入信号, 第二级 SOGI 模块同相端输出时域响应表达式为

$$v'' = V[(\sqrt{2}\omega t - 1)\cos(\sqrt{2}\omega t/2) - \sin(\sqrt{2}\omega t/2)] \cdot e^{-(\sqrt{2}\omega'/2)t} - V\cos(\omega t) \quad (23)$$

从(22)~(23)式可以看出, 等式右边由两部分组成, 暂态分量和稳态分量, 系统到达稳定时, 稳态分量与初始输入信号相比除了相位发生偏移外, 幅值和频率不变。然而, 两式中的暂态分量均为指数衰减函数, 不同的是指数函数的系数不同, 为考察不同个数 SOGI 模块级联时到达稳态时的调整时间, 现对 2 个衰减函数进行对比分析(令 $V=1.0$ V), 如图 6 所示。

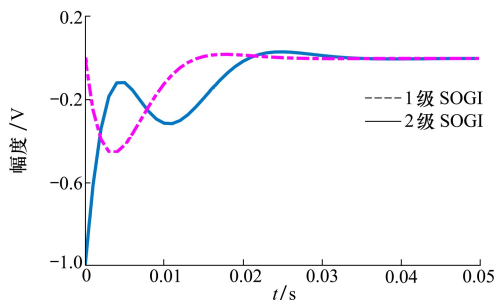


图 6 (22)和(23)式暂态分量的波形

从图 6 中可以看出 2 级 SOGI 模块级联时, 信号

中的暂态分量衰减至零的时间很显然比单 SOGI 模块时更慢, 由于 SOGI 模块的滤波器特性, 从而可以得出每增加一个 SOGI 模块稳态输出调整时间均有所增加。模块数的增加会影响系统的动态性能, 因此有必要在谐波抑制效果和系统的动态性能之间取得平衡。

4 仿真及实验

4.1 仿真分析

为了进一步验证提出的 CDSOGI-PLL 的可行性和有效性, 采用 Matlab/Simulink 搭建系统的仿真模型的方式, 将其与传统的 DSOGI-PLL 和文献[19]提出的改进型 DSOGI-PLL 进行比较分析。3 种锁相环系统分别在相位跳跃、频率突变、电压幅值降落等工况下进行仿真比较。几种工况设置具体如下:

工况 1 $t=0.25$ s 时, 电网频率突然增加 3 Hz, $t=0.5$ s 时, 电网电压加入 20% 的 5 次谐波, 10% 的 7 次谐波以及 5% 的 11 次谐波。

工况 2 $t=0.25$ s 时, 电网电压相位突变 20° , 电网电压加入 20% 的 5 次谐波, 10% 的 7 次谐波以及 5% 的 11 次谐波。

工况 3 $t=0.25$ s 时, 电网电压降落 0.3 pu, $t=0.5$ s 时, 电网电压加入 20% 的 5 次谐波, 10% 的 7 次谐波以及 5% 的 11 次谐波。

实验条件表明, 谐波种类共有 3 种且 5 次谐波含量较高, 因此采用文献[19]中方法时需要级联 4 级 SOGI 模块($m=4$)。为比较各种锁相环的动态性能, 仿真和实验除了采用传统 DSOGI-PLL 和文献[19]中的方法外, 基于 CDSOGI 的结构一($m=2$)和结构二($m=3$)也包含在内。3 种工况下 3 种锁相环的仿真结果如图 7 所示。当 0.25 s 时输入电压频率、相位、电压幅值分别发生突变, 对 3 种方法在暂态过程中的调整时间进行比较, 很显然, 方法一($m=1$)最短, 方法三($m=4$)最长, 方法二中的结构一($m=2$)较结构二($m=3$)更短。0.5 s 时电网电压加入谐波, 从图中可以看出, 方法一($m=1$)抑制谐波能力最差, 稳态频率和相位差受谐波影响较大; 而另外 2 种方法都能够很好地消除谐波的影响且抑制效果接近。因此, 采用 CDSOGI-PLL, 级联更少的 SOGI 模块可以同时获得较满意的滤波效果和较好的动态性能。

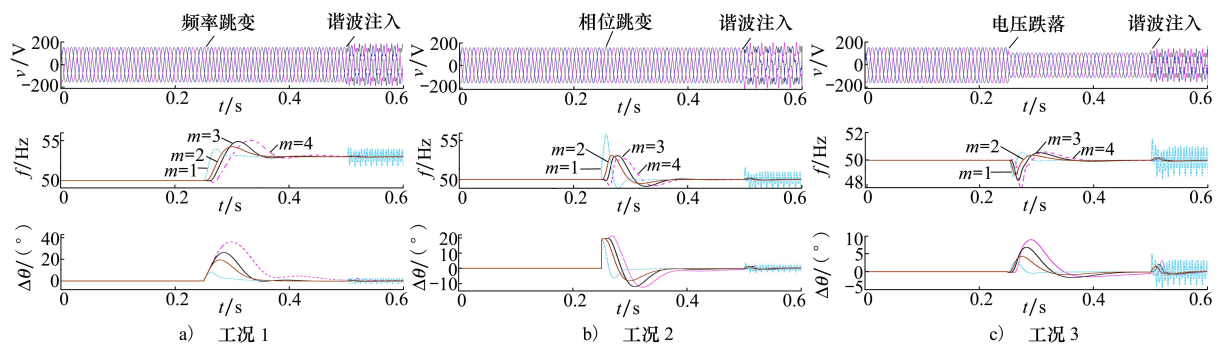


图 7 各种锁相环的频率估计和相位误差仿真波形

4.2 实验验证

为了进一步验证文中所提方法的有效性和硬件可实现性,本次实验采用了 1 套电网电压同步信号检测实验装置,主控芯片采用 TI 公司的 TMS320F28335 数字信号处理器,不仅实现算法的数字运算,同时可以模拟产生实验所需的各种工况

下的电网电压信号。DSP 主芯片的采样频率设置为 10 kHz,在中断程序中模拟实际电网的几种工况,实验中生成的波形数据通过缓存和串口通信传输至上位机软件,并绘制出图形。实验设定的 3 种工况与仿真一致,各种参数波形见图 8。

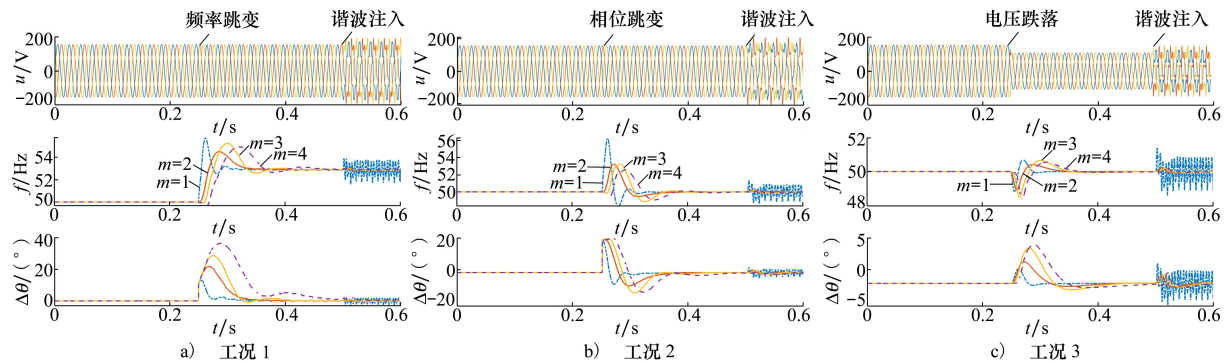


图 8 各种锁相环的频率估计和相位误差实验波形

很明显,图 8 中实验波形与相应的仿真波形基本保持一致。频率、相位差在到达稳态后波形均表现出轻微振荡,跟 3.1 节稳态分析结论相吻合,另外,随着 SOGI 模块级数 m 的增加,系统动态性能随之变慢,验证了 3.2 节动态过程分析结论的正确性。从图 8a)~8c)可看出,0.25 s 时电网电压发生频率突变、相位跳跃以及电压幅值骤降,相比方法二 ($m=2,3$),方法三 ($m=4$) 需要更长的调整时间。0.5 s 时谐波加入后,方法一 ($m=1$) 由于不能完全抑制谐波,频率和相位跟踪动态波形出现较大振荡,方法二中结构一即 2 级 SOGI 模块级联,在谐波严重时不具备足够的抑制能力,故图中波形 ($m=2$) 有轻微振荡;而方法二中结构二即 3 级 SOGI 模块级联和方法三提供了充分的谐波衰减增益,因此,图中波

形 ($m=3$) 和波形 ($m=4$) 呈现出一条近似平坦的直线。

表 2 不同 m 值的系统计算时间成本

级数 m	系统耗时成本/ μs
1	30
2	43
3	57
4	70

表 2 中列出了 m 取不同值时,锁相环系统的耗时成本比较。从表中数据可知,随着 m 值的增大,系统耗时成比例增加,因此,在满足谐波抑制要求的前提下, m 的取值不宜过大,以防加重系统计算负担。

5 结 论

传统的 DSOGI-PLL 在电网电压含有大量低次谐波时无法正常工作,文献[19]中的方法在已知谐波成分的前提下获得很好的谐波抑制效果,但由于级联的 SOGI 模块过多而导致动态性能差。

CDSOGI-PLL 采用新的 SOGI 模块级联方式,可以在电网电压谐波成分已知或未知的情况下用最少的 SOGI 模块很好地抑制谐波,并保持较好动态性能。另外,实际应用时可根据电网电压畸变程度选择 SOGI 模块的级联级数 $m=2$ 或 $m=3$,从而在复杂的电网条件下能同时获得较好的综合性能。

参考文献:

- [1] 裴喜平, 郝晓弘, 陈伟, 等. 电网电压不对称故障下软件锁相技术[J]. 电力自动化设备, 2012, 32(9): 80-84
PEI Xiping, HAO Xiaohong, CHEN Wei, et al. SPL technique in grid voltage asymmetry fault[J]. Electric Power Automation Equipment, 2012, 32(9): 80-84 (in Chinese)
- [2] 张志霞, 朴在林, 郭丹, 等. 一种应用于电力系统的锁相环[J]. 电工技术学报, 2012, 27(2): 250-254
ZHANG Zhixia, PIAO Zailin, GUO Dan, et al. A kind of phase-locked loop for power system[J]. Transactions of China Electrotechnical Society, 2012, 27(2): 250-254 (in Chinese)
- [3] 刘亚静, 范瑜. 全数字硬件化正交锁相环建模与分析[J]. 电工技术学报, 2015, 30(15): 148-155
LIU Yajing, FAN Yu. Modeling and analysis of all-digital full-hardware quadrature phase-locked loop[J]. Transaction of China Electrotechnical Society, 2015, 30(15): 148-155 (in Chinese)
- [4] 史梦思, 钱丽萍, 岳云涛, 等. 三相逆变电源的锁相环设计[J]. 电工技术学报, 2015, 30(增刊1): 93-97
SHI Mengsi, QIAN Liping, YUE Yuntao, et al. Phase-locked loop designing of three phase inverter power[J]. Transactions of China Electrotechnical Society, 2015, 30(suppl 1): 93-97 (in Chinese)
- [5] PEREZ M A, ESPINOZA J R, TORRES M A, et al. A robust PLL algorithm to synchronize static power converters with polluted AC systems[C]//IECON 2006-32nd Annual Conference on IEEE Industrial Electronics, 2007
- [6] LI P, LIN X, HAZUCHA P, et al. A delay-locked loop synchronization scheme for high-frequency multiphase hysteretic DC-DC converters[J]. IEEE Journal of Solid-State Circuits, 2009, 44(11): 3131-3145
- [7] KARIMI-GHARTEMANI M, IRAVANI M R. A method for synchronization of power electronic converters in polluted and variable-frequency environments[J]. IEEE Trans on Power Systems, 2004, 19(3): 1263-1270
- [8] PEREIRA H A, CUPERTINO A F, RIBEIRO C A D S, et al. Influence of PLL in wind parks harmonic emissions[C]//IEEE PES Conference on Innovative Smart Grid Technologies, Sao Paulo, Brazil, 2013
- [9] 罗韡, 姜建国, 周中正. 基于频率自适应改进型梳状滤波器的并网锁相环技术[J]. 电力系统自动化, 2017(20): 97-104
LUO Wei, JIANG Jianguo, ZHOU Zhongzheng. Grid connected phase-locked loop technology based on frequency adaptive improved comb filter[J]. Automation of Electric Power Systems, 2017(20): 97-104 (in Chinese)
- [10] LUO W, WEI D. A Frequency-adaptive improved moving-average-filter-based quasi-type-1 PLL for adverse grid conditions[J]. IEEE Access, 2020(99): 54145-54153
- [11] GOLESTAN S, GUERRERO J M, ABUSORRAH A M. MAF-PLL with phase-lead compensator[J]. IEEE Trans on Industrial Electronics, 2015, 62(6): 3691-3695
- [12] 杜雄, 郭宏达, 孙鹏菊, 等. 基于 ANF-PLL 的电网电压基波正负序分离方法[J]. 中国电机工程学报, 2013, 33(27): 28-35
DU Xiong, GUO Hongda, SUN Pengju, et al. A positive and negative sequence component separation method for grid voltage based on the phase locked loop with an adaptive notch filter[J]. Proceedings of the CSEE, 2013, 33(27): 28-35
- [13] 徐海亮, 章玮, 胡家兵, 等. 电网电压不平衡及谐波畸变时基波电压同步信号的检测[J]. 电力系统自动化, 2012, 36(5): 90-95
XU Hailiang, ZHANG Wei, HU Jiabing, et al. Synchronizing signal detection of fundamental voltage under unbalanced and/or distorted grid voltage conditions[J]. Automation of Electric Power Systems, 2012, 36(5): 90-95 (in Chinese)
- [14] RODRIGUEZ P, TEODORESCU R, CANDELA I, et al. New positive-sequence voltage detector for grid synchronization of power

converters under faulty grid conditions[C]//Power Electronics Specialists Conference, 2006

[15] RODRÍGUEZ P, LUNA A, MUÑOZ-AGUILAR R S, et al. A stationary reference frame grid synchronization system for three-phase grid-connected power converters under adverse grid conditions[J]. IEEE Trans on Power Electronics, 2011, 27(1): 99-112

[16] PRAKASH S, SINGH J K, BEHERA R K, et al. A Type-3 modified SOGI-PLL with grid disturbance rejection capability for single-phase grid-tied converters[J]. IEEE Trans on Industry Applications, 2021, 57(4): 4242-4252

[17] RODRIGUEZ P, LUNA A, CANDELA I, et al. Multiresonant frequency-locked loop for grid synchronization of power converters under distorted grid conditions[J]. IEEE Trans on Industrial Electronics, 2010, 58(1): 127-138

[18] KARIMI-GHARTEMANI M, IRAVANI M R. A method for synchronization of power electronic converters in polluted and variable-frequency environments[J]. IEEE Trans on Power Systems, 2004, 19(3): 1263-1270

[19] 涂娟, 汤宁平. 基于改进型 DSOGI-PLL 的电网电压同步信号检测[J]. 中国电机工程学报, 2016,36(9):2350-2356

TU Juan, TANG Ningping. Detection of grid voltage synchronization signal based on improved DSOGI-PLL[J]. Proceedings of the CSEE, 2016,36(9):2350-2356 (in Chinese)

[20] MATAS J, CASTILLA M, MIRET J, et al. An adaptive prefiltering method to improve the speed/accuracy tradeoff of voltage sequence detection methods under adverse grid conditions[J]. IEEE Trans on Industrial Electronics, 2013, 61(5): 2139-2151

A synchronizing signal detection technique for grid voltage based on new CDSOGI-PLL

KE Shanwen, LI Yuren

(School of Automation, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: When the grid voltage contains many harmonics, the filtering effect of the phase-locked loop based on dual second-order generalized integrator (DSOGI-PLL) is not ideal, and the frequency of synchronous signal extracted through the DSOGI-PLL fluctuates. A novel phase-locked loop structure based on cascade second order generalized integrator (CDSOGI-PLL) is proposed. The structure utilizes the cascaded SOGI module to simultaneously weaken the harmonics and inter-harmonics that exist in the grid voltage, thus reducing the influence of harmonics on the PLL and accurately extracting the grid voltage's synchronous signal. Matlab simulation and experimental results show that the signal detection technique proposed in the paper can effectively extract the fundamental positive sequence component, frequency and phase when the grid voltage is unbalanced and has many harmonics.

Keywords: phase-locked loop;second-order generalized integrator;harmonics;fundamental positive sequence component

引用格式:柯善文, 李玉忍. 一种新型级联 CDSOGI-PLL 的电网电压同步信号检测技术[J]. 西北工业大学学报, 2023, 41(5): 842-849

KE Shanwen, LI Yuren. A synchronizing signal detection technique for grid voltage based on new CDSOGI-PLL[J]. Journal of Northwestern Polytechnical University, 2023, 41(5): 842-849 (in Chinese)