

# 抗单粒子翻转的线性反馈移位寄存器设计

田佳昊, 曹贝, 孙鸿悦, 张铁男

(黑龙江大学 电子工程学院, 黑龙江 哈尔滨 150080)

**摘要:**随着我国航空航天事业的大力发展,为抵御宇宙空间高能粒子的影响,航天器芯片的高可靠性成为设计的关键。内建自测试技术作为保障芯片质量的常用可测性设计,其核心部件线性反馈移位寄存器(LFSR)的抗辐射加固设计至关重要。通过分析单粒子翻转(SEU)效应,提出LFSR中关键电路的抗辐射加固方案,针对D触发器采用12管双互锁存储单元结构结合位线分离技术,在版图级增加保护环、减小敏感节点面积与增大互补敏感节点间距等措施,增强抗辐射能力。通过设计新型POR电路结构,有效克服LFSR中传统POR电路对SEU的敏感性问题。针对用于线性运算的异或门电路,运用C单元结合位线分离的方法以抵抗SEU影响。以7阶LFSR为例进行仿真验证,结果表明所构建的抗辐射加固LFSR结构能有效抵御SEU影响,显著提升在辐射环境下的稳定性与可靠性。

**关键词:**抗辐射加固;单粒子翻转效应;线性反馈移位寄存器;上电复位电路

中图分类号:TN402

文献标志码:A

文章编号:1000-2758(2025)06-1246-09

随着我国航空航天事业的快速发展,广泛应用于航天器中的芯片通常需要具备高可靠性,以对抗宇宙空间中存在的各种高能粒子对芯片的影响,甚至损毁<sup>[1]</sup>。同时为了确保制造后芯片的质量,往往需要对其进行测试,而内建自测试(built-in self test, BIST)技术在设计电路时增加测试图形发生器、比较器等模块,使电路具备测试自身的能力,其中测试图形发生器是BIST最关键的部分<sup>[2]</sup>。为了使待测试电路在高辐射环境中依然可以高可靠地完成芯片自测试,BIST中常用的测试图形发生器,即线性反馈移位寄存器(linear feedback shift register, LFSR),其抗辐射加固设计也变得尤为重要<sup>[3]</sup>。

单粒子翻转(single event upsets, SEU)是最为常见的一种空间辐射效应,是由辐射引起的半导体器件逻辑状态的变化<sup>[4]</sup>。用于航空航天等高辐射环境中的存储器、时序逻辑等电路往往需要考虑SEU带来的问题,因为一旦锁存器锁存了翻转的错误信号,就有可能在时钟有效沿被输出,从而造成电路失

效<sup>[5]</sup>。LFSR主要是由触发器与异或门反馈连接而构成的测试图形发生器,常用于伪随机测试序列的生成<sup>[6]</sup>。为避免因辐射带来的问题,针对LFSR的结构需要分别对组合逻辑和时序逻辑进行抗辐射加固设计。

本文针对通用LFSR分别提出抗辐射加固的D触发器电路、POR电路与异或门电路设计,并组成抗辐射加固的LFSR结构,增加上电复位功能、随机序列生成的启动与暂停功能,增强BIST电路的灵活性和可靠性。在电路级采用冗余、双互锁存储单元(dual interlocked storage cell, DICE)、位线分离的多种加固技术,在版图级采用增加保护环、增大互补敏感节点距离、减小敏感节点面积的加固技术对LFSR进行抗辐射加固设计,解决了高能粒子轰击导致LFSR出现系统错误的问题,使得加固后的LFSR电路能够抵抗SEU的影响,在解决电路测试或序列生成等问题的同时大大提高了LFSR在辐射环境下的稳定性与可靠性。

## 1 LFSR 中关键模块抗辐射加固设计

### 1.1 SEU 效应分析

辐射环境下,高能粒子撞击电路内部节点时,可

收稿日期:2025-03-24

基金项目:国家自然科学基金面上项目(62371183)与黑龙江省自然科学基金(PL2024F033)资助

作者简介:田佳昊(2002—),硕士研究生

通信作者:曹贝(1975—),讲师 e-mail:caobei@hlju.edu.cn

能会导致该节点发生错误的翻转。SEU 效应是一种常见的辐射效应,以 CMOS 反相器为例,假设初始状态输入  $V_{in}$  为高电平,输出应为低电平,由于 PMOS 管坐落在 N 阱中,且其源端和衬底均与  $V_{DD}$  相连,因此 PMOS 的漏端与衬底形成了一个反偏的 PN 结,并产生电场。如果有高能粒子照射到 PMOS 管的漏端时,会在其中产生大量的电子-空穴对,部分电子-空穴对会在电场的作用下进行漂移运动,即空穴向漏端移动,电子向衬底方向移动。此时 PMOS 漏端由于空穴的聚集电位不断升高,当电位超过一定阈值之后,输出会翻转到高电平,产生错误的输出结果<sup>[7]</sup>。

在了解 SEU 效应对基础电路元件的影响后,可以预见在更为复杂的时序电路中,这种效应将带来更为严重的后果。传统的 LFSR 电路结构简单,主要由级联的 D 触发器和异或门构成,能够生成除全零状态以外的伪随机数序列,被广泛应用于序列生成或 BIST 的测试图形发生器等设计中<sup>[8]</sup>,在受到高能粒子冲击的情况下易导致寄存器或组合逻辑单元中数据发生错误翻转,使 LFSR 产生其他序列,从而影响 BIST 工作时的测试结果,并且由于时序电路的特殊性,错误的状态会一直保存在电路中直到寄存器被复位,因此对应用于辐射环境中的 LFSR 进行抗辐射加固设计至关重要。

### 1.2 D 触发器电路级加固设计

D 触发器是 LFSR 中常用的存储元件,目前针对抗 SEU 的时序单元设计中,DICE 结构因抗辐射

效果较好,且面积和速度等开销较小而被广泛采用。本文采用 12 管 DICE 结构进行锁存器设计,主要通过四点冗余的方式对数据备份处理, $D$  与  $D'$  为 1 对反相输入,通过时钟控制数据输入到锁存器中,当任意节点  $X$  受到高能粒子干扰导致数据翻转时,其他 3 个节点能够通过反馈机制将数据拉回正确的状态<sup>[9]</sup>。

本设计在 12 管 DICE 结构锁存器的基础上增加了复位与置位端,如图 1 所示。抗辐射加固的 D 触发器电路主体由 2 个带复位和置位端的 DICE 结构锁存器作为主、从 2 级串联而成,由时钟控制主级与从级的通断,电路如图 2 所示。其中 RN 和 RS 分别为高电平有效的 POR 电路产生的复位信号和外部复位信号,复位信号有效时会把锁存器状态置为 0,SN 为低电平有效的置位信号,其有效时会把锁存器状态置 1。

此外,在传统的锁存器结构中,同一输入节点往往互相连通,这样做虽然能够有效地减小版图上的开销,但是当其中 1 个输入节点受到高能粒子干扰而发生翻转时,会导致其他输入节点的逻辑状态也发生翻转,大大降低了电路的可靠性。因此本文对输入信号与时钟信号采用位线分离的方式进行加载,即将同一信号拆分到 2 个不同的线路,并利用传输门分别传输的方式,使输入信号相互独立、彼此之间互不干扰,解决了输入节点对 SEU 的敏感性

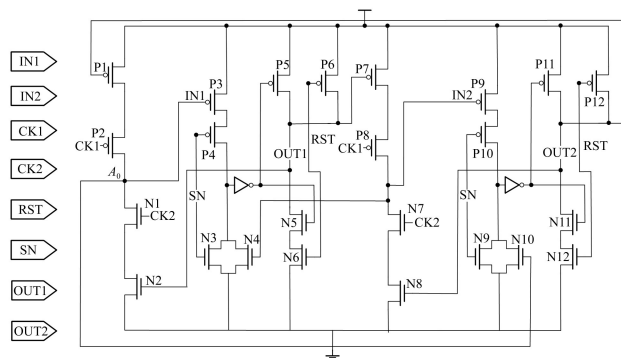


图 1 具有复位和置位功能的 DICE 结构锁存器原理图

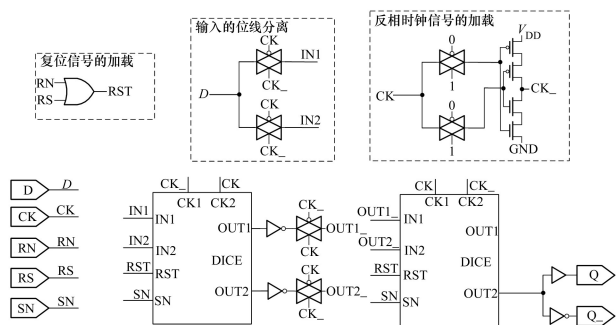


图 2 抗辐射加固的 D 触发器原理图

对于时序电路来说,调整合适的晶体管尺寸以获得优化的时序信息至关重要,因此 NMOS 和 PMOS 晶体管的驱动能力差异成为设计时需重点考虑的因素。NMOS 的载流子为电子,其迁移率通常

高于 PMOS 的载流子空穴<sup>[10]</sup>,这种差异不仅影响了晶体管的开关速度,也直接关系到电路的时序性能,通常迁移率定义为

$$\mu = \frac{e\tau}{m^*} \quad (1)$$

式中： $m$  为载流子的有效质量，由于空穴的有效质量约是电子的 2 倍，有  $\mu_n = 2.7\mu_p$ 。众所周知，转换时间是衡量电路时序信息的一个重要指标，其包括上升时间  $t_r$  与下降时间  $t_f$ 。优化的时序单元要尽量平衡  $t_f$  与  $t_r$ ，本文通过调整输出端的反相器尺寸以得到近似相等的  $t_r$  与  $t_f$ 。其中  $t_f$  通常由 2 个阶段组成，其中一段为 90% 的  $V_{DD}$  到  $V_{DD} - V_{th}$ ，另一段为  $V_{DD} - V_{th}$  下降到 10%  $V_{DD}$ ，这 2 段下降时间分别用  $t_{f1}$  与  $t_{f2}$  来表示。以反相器为例，在  $t_{f1}$  阶段，NMOS 管工作在饱和区，根据电荷守恒可得

$$C_L \frac{dV_0}{dt} + K_N(V_{DD} - V_{th})^2 = 0 \quad (2)$$

$$dt = - \frac{C_L}{(V_{DD} - V_{th})^2} dV_0 \quad (3)$$

$$t_{f1} = \frac{C_L(-0.1V_{DD})}{K_N(V_{DD} - V_{th})^2} \quad (4)$$

在  $t_{f2}$  阶段，NMOS 管工作在线性区，有

$$C_L \frac{dV_0}{dt} + K_N[2(V_{DD} - V_{th})V_0 - V_0^2] = 0 \quad (5)$$

$$t_{f2} = \frac{C_L}{2K_N(V_{DD} - V_{th})} \ln\left(\frac{19V_{DD} - 20V_{th}}{V_{DD}}\right) \quad (6)$$

$$t_f \approx 2 \frac{C_L}{K_N V_{DD}} \quad (7)$$

$t_r$  与  $t_f$  的推导方式类似，可得出  $t_r$  为

$$t_r \approx 2 \frac{C_L}{K_P V_{DD}} \quad (8)$$

由(7)~(8)式可知，当  $K_p = K_n$  时， $t_r$  与  $t_f$  相等，由上述载流子情况分析可知  $\mu_n = 2.7\mu_p$ ，则有  $W_n \approx 2.7W_p$ 。为了减小版图面积，电路除输出端反相器上的 MOS 管取  $W_n \approx 2.7W_p$ ，其余 MOS 管均为最小尺寸。

为了验证所设计电路的抗 SEU 功能，在图 1 电路的  $A_0$  节点处采用双指数脉冲源来模拟 SEU，其模型可由(9)式来表示。

$$I_t = f(\Lambda) (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) = \frac{Q}{(\tau_\alpha - \tau_\beta)} (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (9)$$

式中： $\Lambda$  表示线性能量传递 (linear energy transfer, LET)； $I_t$  表示  $t$  时刻的电流； $Q$  为总电荷量； $\tau_\alpha$  为电荷收集时间常数，反映电流源响应的快慢； $\tau_\beta$  为电

荷轨迹建立时间常数，是逻辑门达到稳态所需要的时间，本文取  $\tau_\alpha = 20 \text{ ps}$ ， $\tau_\beta = 100 \text{ ps}$ 。对  $A_0$  节点施加合适的脉冲后，分别对抗辐射加固 D 触发器与传统的传输门结构 D 触发器进行仿真，本文电路设计及仿真均基于 SMIC 0.18 $\mu\text{m}$  工艺，其中工艺角为 TT，温度为  $-55 \text{ }^\circ\text{C}$ ，电源电压 1.8 V，采用 Cadence Spectre 仿真器进行仿真，仿真波形如图 3 所示。

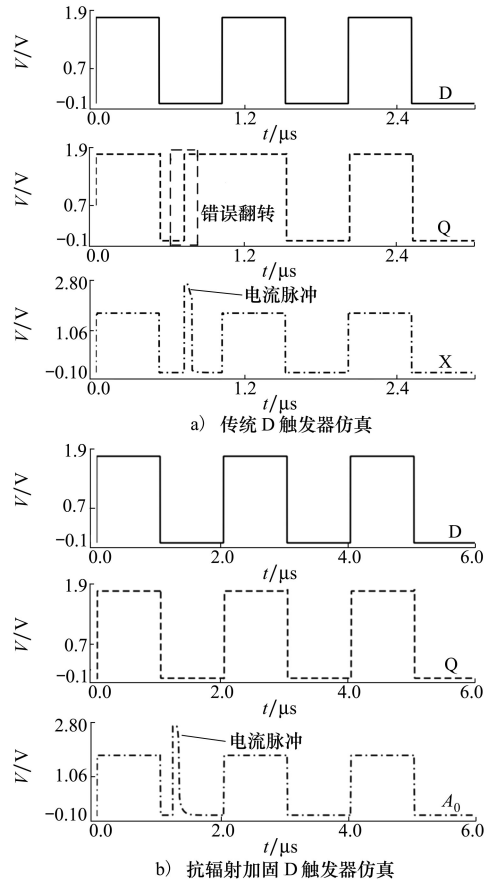


图 3 传统和加固的 D 触发器仿真结果

由仿真结果可知 2 种 D 触发器的所选节点在不同时刻遭受了脉冲电压约为 2.8 V，脉冲宽度约为 0.2  $\mu\text{s}$  的脉冲干扰，传统结构的 D 触发器输出发生了错误的翻转，而 DICE 结构的 D 触发器在敏感节点受到干扰时，能利用自身机制恢复输出状态，具有良好的抗 SEU 功能，适于在抗辐射 LFSR 设计中应用。

### 1.3 D 触发器版图级加固设计

为了增强其抗 SEU 的能力，对 D 触发器进行进一步抗辐射加固设计，在版图级采用如图 4 所示的保护环结构。

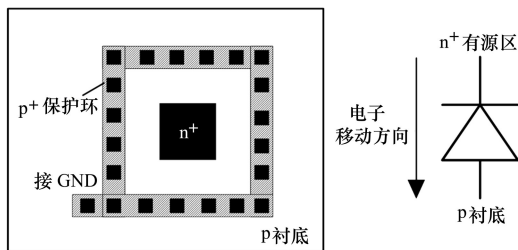


图 4 p<sup>+</sup>保护环原理

当单粒子辐射效应作用在 n<sup>+</sup> 器件,有源区的电位不断下降,当电位下降至 0 V 以下时,隔离环与衬底形成寄生二极管。p<sup>+</sup> 隔离环与衬底之间形成的寄生二极管在导通时,为电子提供了一个低电阻路径,这使得电子被 p<sup>+</sup> 隔离环吸收并传输到 GND,从而有效保护了隔离环外部的电路组件。同样,当 PMOS 器件受到单粒子辐射影响时,n<sup>+</sup> 隔离环与 N 阱之间形成的寄生二极管为注入的空穴提供了额外的传输路径,有效降低了电路敏感节点发生翻转的概率。

此外,电路级加固设计主要考虑单个敏感节点受干扰的情况,而在实际应用中同一时刻可能会有多个敏感节点受干扰,若互补的敏感节点同时受干扰而积累电荷导致电荷量超过阈值时,可能导致 DICE 结构无法恢复到正确的输出。因此在版图设计时,进一步采用减小敏感节点的面积,增大互补敏感节点之间距离的方式增强抗 SEU 的能力,本文基于 SMIC0.18 μm 工艺完成抗辐射加固 D 触发器的版图设计,如图 5 所示。

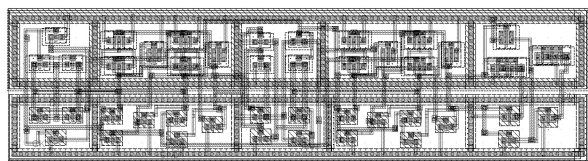


图 5 抗辐射加固的 D 触发器版图

### 1.4 LFSR 中 POR 电路加固设计

电源在上电的过程中存在一个不稳定的变化过程,在这个过程中移位寄存器可能会接收到不正确的输入数据或状态,导致寄存器进行数据位移和读取,进而产生系统错误<sup>[11]</sup>。POR 电路可以确保移位寄存器在电源电压稳定后的初始状态是已知的,这对于系统的正常启动和数据处理至关重要。

传统的 POR 电路结构如图 6a) 所示,在上电过程中,C0 将被充电,其时间常数为 R<sub>0</sub>C<sub>0</sub>,但 C0 的

充电速度远小于 V<sub>DD</sub> 的上电速度,X 节点电压 V<sub>X</sub> 会随着 V<sub>DD</sub> 逐渐增大,当 V<sub>X</sub> 超过 NMOS 管阈值电压时,N0 导通,RN 输出低电平。当 V<sub>DD</sub> 稳定后,由于 C0 继续充电,V<sub>X</sub> 不断减小,当 V<sub>X</sub> 低于 NMOS 管阈值电压时 N0 关断,RN 输出高电平,此时 C1 以很小的时间常数 R<sub>R2</sub>C<sub>C1</sub> 充电,RN 保持一段时间后会迅速回到低电平,完成给移位寄存器复位的功能。传统的 POR 电路在 X 节点受电流脉冲干扰时,如图 7a) 所示,可以看到 RN 由于脉冲的影响在稳定后又出现了一次高电平的翻转,这个异常的翻转会导致 LFSR 接收到一个不期望的复位信号,进而影响整个电路的正常工作。

为了解决传统 POR 电路对 SEU 表现出的敏感性问题,本文提出了如图 6b) 所示的 POR 电路,N0 与 P0 采用小的宽长比来实现在工作区时的大电阻,其余 MOS 管均取最小尺寸。上电过程中,V<sub>X</sub> 随 V<sub>DD</sub> 上升,V<sub>Y</sub> 一直为低电平致使 N3 导通,RN 输出低电平。V<sub>DD</sub> 稳定后,C0 被充电,时间常数为 R<sub>N0</sub>C<sub>C0</sub>,V<sub>X</sub> 不断下降,当下降到一定值后 P0 导通,C1 开始充电导致 V<sub>Y</sub> 变为高电平,此时 N2 导通、N3 关断 RN 输出高电平,随着 C2 不断充电 RN 会被重新拉到低电平,因此可在辐射发生时为 LFSR 提供正确的复位信号。

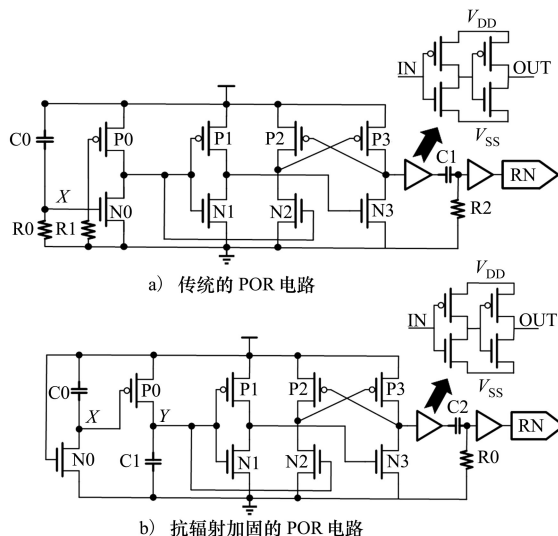


图 6 传统和抗辐射加固的 POR 电路原理图

加固的 POR 电路在 X 节点受到脉冲电压为 2 V 的电流脉冲干扰时导致 V<sub>X</sub> 翻转为高电平,如图 7b) 所示,此时 P0 关断,C1 没有放电回路,RN 不会出现错误翻转。同时 Y 点在工作时本就为高电平,所以

脉冲干扰到Y点时不会对RN产生影响,故所提出的加固 POR 电路能很好地对抗 SEU 影响,避免了异常复位信号的产生而干扰 LFSR 正常工作,提高了电路的可靠性。

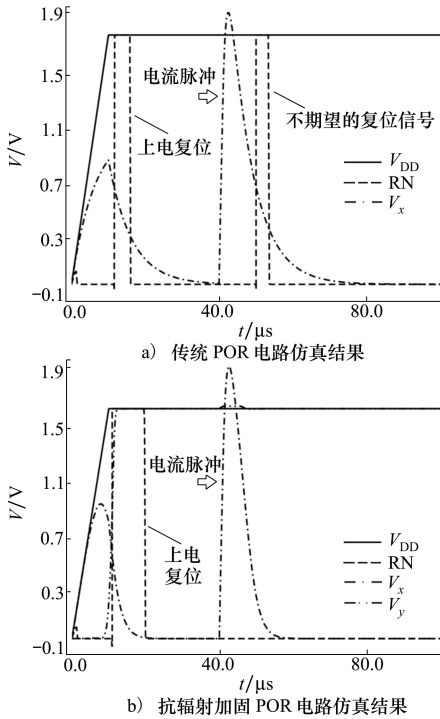


图 7 传统和抗辐射加固的 POR 电路仿真结果

### 1.5 异或门电路加固设计

异或门电路在 LFSR 中起着实现线性运算的作用,传统的互补 CMOS 异或门在任意输入节点被高能粒子攻击时通常会导致电路中互补的 MOS 管(例如 A 和 A\_控制的 MOS 管)状态同时翻转,导致输出错误翻转。故传统异或门用于 LFSR 时若受到高能粒子干扰时会导致反馈回寄存器的值发生错误,使 LFSR 产生错误序列值,故本文采用冗余设计的思想对互补 CMOS 结构异或门进行抗辐射加固设计。

抗辐射加固的异或门电路原理图如图 8a) 所示,所有 MOS 管均取最小尺寸,并在输入端采用位线分离技术,使各输入信号互不干扰。对抗辐射加固的异或门电路施加与互补 CMOS 结构异或门相同的脉冲信号后的仿真结果如图 8b) 所示,当 A<sub>0</sub> 节点受脉冲干扰导致状态翻转为高电平时, P4 关断、N4 开启,此时虽然上拉网络被 P4 阻断,但互补节点 A<sub>1</sub> 的存在使得 N5 阻断了放电回路,输出逻辑状态维持在高电平,加固后的异或门电路能够很好地抵抗单节点的 SEU。

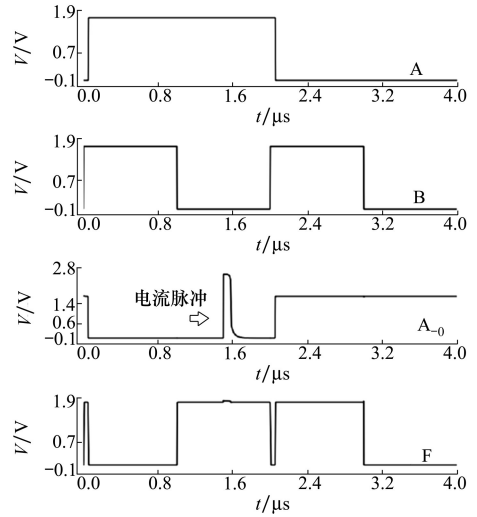


图 8 抗辐射加固的异或门电路设计与仿真结果

虽然加固后的异或门电路对单节点的 SEU 具有抵抗性,但在多个节点同时受到高能粒子轰击时还是会导致错误的输出,因此在版图上采用加保护环,增大互补节点(例如 A<sub>0</sub>, A<sub>1</sub>) 距离的方式进行加固设计,抗辐射加固异或门版图如图 9 所示。

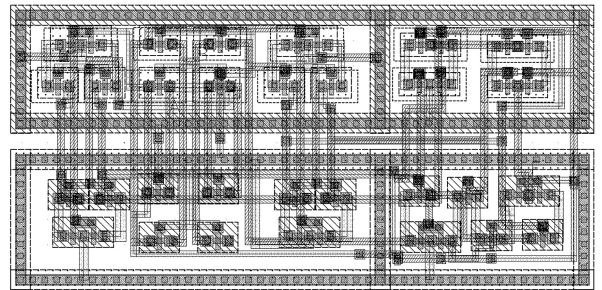


图 9 抗辐射加固的异或门版图

## 2 抗 SEU 的 7 阶 LFSR 设计与仿真

LFSR 是一种由寄存器和反馈网络组成的随机序列生成器,广泛应用于 BIST 或其他应用的伪随机数生成、错误检测等领域,它通过移位操作和线性运算后反馈生成伪随机序列,且输出序列可以通过初始状态和 (10) 式所对应的多项式完全确定,式中  $c_i \in \{1, 0\}$  表示是否存在异或门反馈连接。

$$P(x) = x^n + c_{n-1}x^{n-1} + \dots + c_1x + c_0 \quad (10)$$

本文将以抗辐射加固的 7 阶 LFSR 设计为例进行仿真验证,其中的异或门、寄存器、POR 电路均采用前文所提出的加固结构。以 (11) 式所示的 7 阶

LFSR 的本原多项式为  $\phi(x) = x^7 + x^1 + 1$  为例,给出 7 阶 LFSR 的电路设计如图 10 所示。

$$\phi(x) = x^7 + x^1 + 1 \quad (11)$$

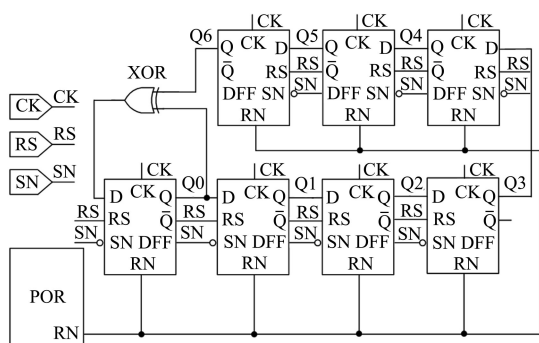


图 10 抗辐射加固 7 阶 LFSR 电路结构图

由于 LFSR 反馈网络的特殊性,当寄存器中所存的状态均为零时,LFSR 将一直循环全零的状态,根据此特性,本设计引入低电平有效的外部置位端 SN 与高电平有效的外部复位端 RS。RS 有效时会全部寄存器的状态都置为 0,此时 LFSR 处于暂停工作状态,避免动态功耗的产生。而 SN 有效时会全部寄存器的状态置为 1,此时 LFSR 开始生成伪随机序列。

为了验证所设计的 7 阶 LFSR 的基本功能,本文将重点关注 LFSR 输出序列的基本特性,以及对引入外部置位端 SN 和复位端 RS 后的行为表现进行仿真验证。1 个 7 阶的 LFSR 在连续运行过程中将产生  $2^7 - 1$  个不同状态的序列,如图 11 所示,在给定 D0~D6 全 1 的状态后,经过 127 时钟周期(即  $2 \mu\text{s} \times 127 = 254 \mu\text{s}$ )后来到最后状态“1111110”,随即在下一个时钟信号到来时重复生成上一周期的测试向量。

图 12a) 所示的仿真结果展示了 POR 与外部置位端在 LFSR 中的行为表现,在电源电压稳定前,利用脉冲源干扰 D0 节点,使其逻辑状态出现错误的翻转,可以看到这个错误的翻转会随着时钟上升沿时传递到下一级,如果这个错误翻转不被处理将会导致 LFSR 的初始状态不可预测,进而干扰正确的序列生成和后续测试。POR 电路的引入使得在电源电压稳定的一段时间后产生了一个复位信号,电路中错误的状态被清零,实现了 LFSR 初始状态恒为“0000000”。上电复位动作完成后,由于储存了全零的状态,LFSR 不会立即产生伪随机序列,只有

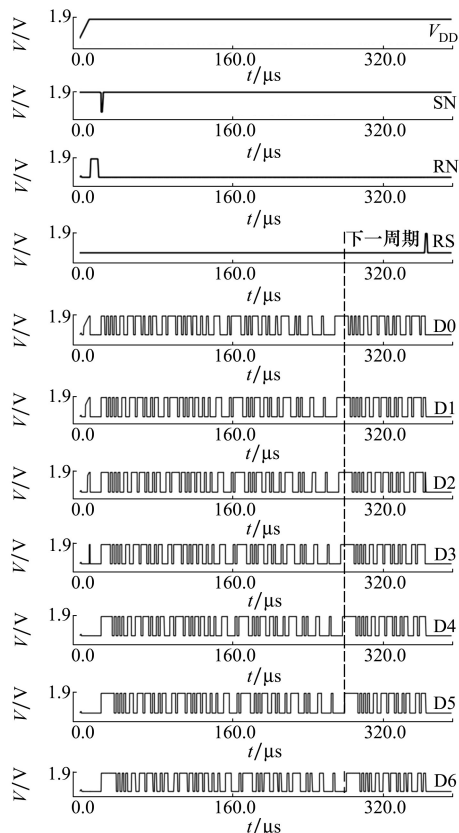


图 11 7 阶 LFSR 总体功能仿真

当外部置位信号有效使得寄存器全部被置为 1 时,LFSR 才会开始生成伪随机序列,外部置位信号的引入实现了生成序列的可控,增强了伪随机序列的可预测性。

为了避免 LFSR 在空闲状态时工作所产生的功耗,如图 12b) 所示,本文引入了外部复位端 RS,其利用了 LFSR 在全零状态时无法继续工作的特性,当 RS 有效时会将所有寄存器的状态置为 0,使得 LFSR 在下一个置位信号 SN 有效前停止生成伪随机序列,RS 与 SN 搭配实现了 LFSR 的开关可控,有效避免了不必要的功耗。

相较于传统结构的 7 阶 LFSR,本文的 7 阶抗辐射加固 LFSR 最大的优势就是能抵抗 SEU 的影响,具有更高的可靠性,能够应用在辐射环境中,但由于电路结构变复杂,元器件数量增加,不可避免地会损失一些基础性能,尤其是时序上的损失。传播延时是衡量 LFSR 工作速度的一个关键指标,本文在时钟信号的转换时间为 50 ns 时分别测量了传统结构 LFSR 和抗辐射加固 LFSR 的最低位 Q0 和最高位 Q6 的传播延时。传统 LFSR 的传播延时仿真结果

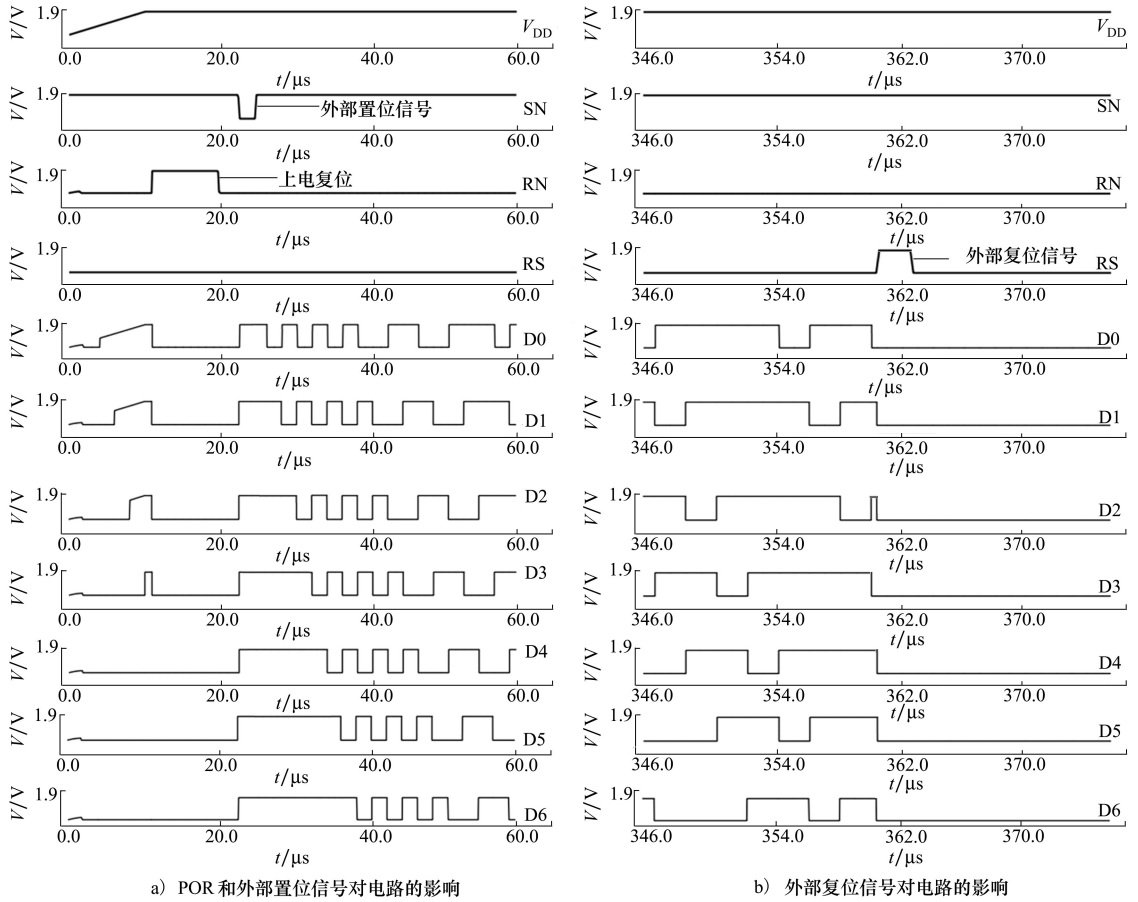


图 12 7 阶 LFSR 外部信号功能的仿真

如图 13 所示,其最低和最高位输出 Q0 和 Q6 的传播延时分别为 3.713 9 ns 和 3.764 4 ns,结果表明传统 LFSR 的路径延时极小,Q0 与 Q6 的传播延时仅相差约 0.002 5 ns。抗辐射加固 LFSR 的传播延时

仿真结果如图 14 所示,其最低和最高位输出 Q0 和 Q6 的传播延时分别为 4.250 3 ns 和 4.447 1 ns,与传统 LFSR 相比,Q0 延时增加了 0.536 4 ns (约 14.4%),Q6 延时增加了 0.730 6 ns(约 19.7%)这表

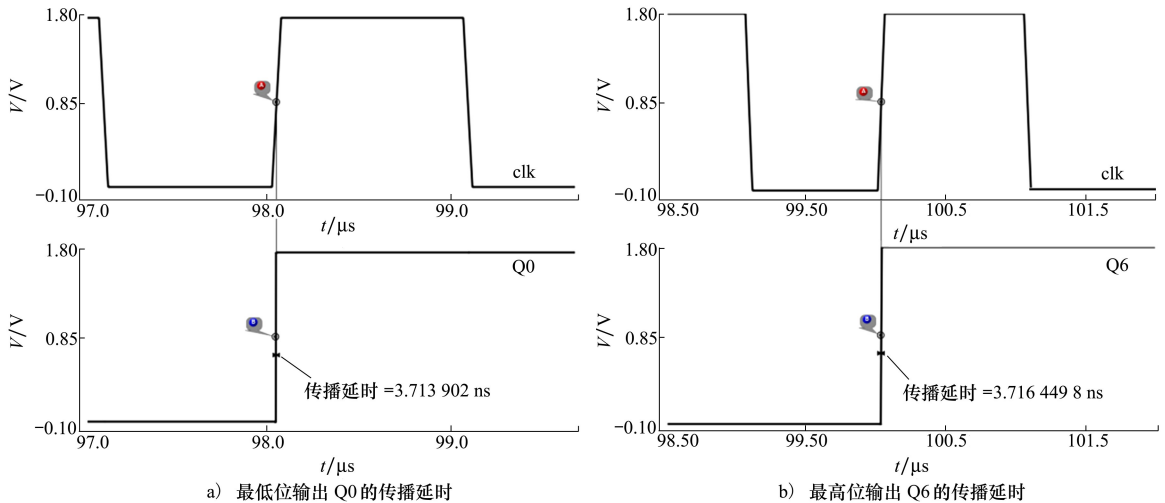


图 13 传统结构 LFSR 的传播延时仿真波形

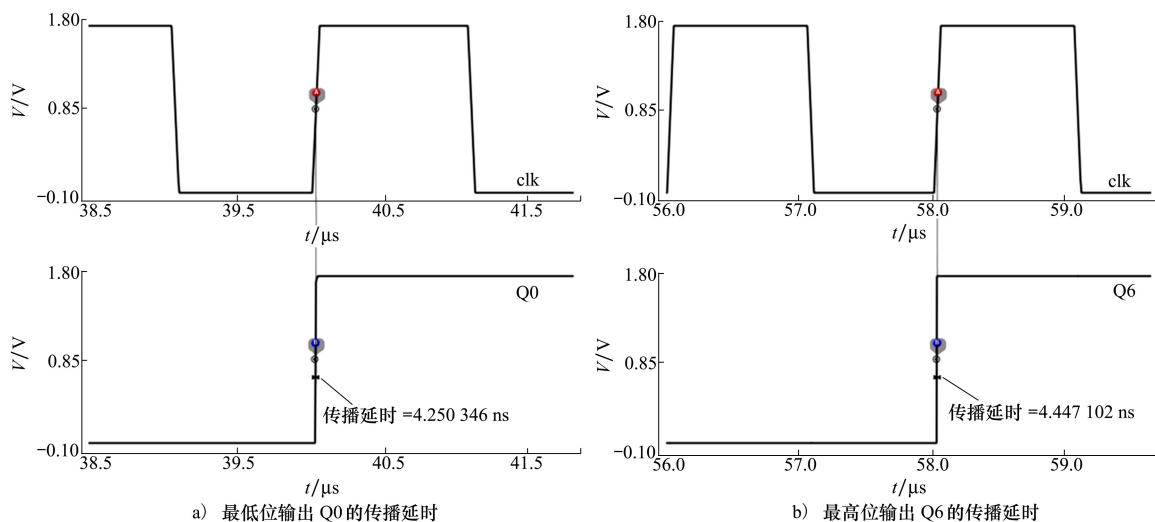


图 14 抗辐射加固的 LFSR 传播延时仿真波形

明抗辐射加固 LFSR 的传播延时较传统结构 LFSR 会略有增加,但总体仍保持在可接受的范围。此外,抗辐射加固 LFSR 中 Q0 与 Q6 的传播延时差距约为 0.2 ns,这表明由于电路结构复杂,信号传播路径边长,路径延时大大增加。综上所述,虽然本文的抗辐射加固 LFSR 在例如时序信息的基础性能上略逊于传统结果的 LFSR,但由于其具有良好的抗 SEU 功能,能够广泛应用在辐射环境中。

### 3 结论

本文主要针对高辐射环境下应用的 LFSR 进行

抗辐射加固设计。通过分析 SEU 效应,分别设计了抗辐射加固的 D 触发器、POR 电路、异或门电路,用于构建抗辐射加固的 LFSR 电路。在电路级与版图级采用了多种加固技术,有效解决了传统 LFSR 易受高能粒子轰击而使所生成的测试序列发生错误的问题,保障了 BIST 电路能够正确进行测试生成。采用以电流脉冲模拟单粒子效应的方法,验证所设计的 LFSR 具有抗 SEU 功能,并且通过引入外部置位端 SN 和复位端 RS 极大地增强了应用于 BIST 结构中的 LFSR 的灵活性与可控性,有效降低了功耗并提高了测试结果的可预测性,所设计的抗辐射 LFSR 具有一定的工程应用价值。

### 参考文献:

- [1] OH Jongyeob, JO Sunghun. Radiation-hardened 16T SRAM cell with improved read and write stability for space applications[J]. Applied Sciences, 2024, 14: 119-133
- [2] KANNAN R, VIDHYA K. PDQRRFF: Poisson-distributed quantum random reversible flip-flop generator for BIST[J]. Integration, 2024, 100: 102289
- [3] JUN Cheoljeon. Multi-layer QCA shift registers and wiring structure for LFSR in stream cipher with low energy dissipation in quantum nanotechnology[J]. Electronics, 2023, 12(19): 4093-5002
- [4] LI Sai, HAN Jianwei, CHEN Rui, et al. Study on the single-event upset sensitivity of 65 nm CMOS sequential logic circuit[J]. IEICE Electronics Express, 2020, 17(10): 1-6
- [5] 孙雨, 赵元富, 岳素格, 等. 采用滤波结构的 28 nm 触发器抗单粒子翻转研究[J]. 现代应用物理, 2022, 13(1): 010608  
SUN Yu, ZHAO Yuanfu, YUE Suge, et al. 28 nm flip-flops hardened against single event upset of withe filter structure[J]. Modern Applied Physics, 2022, 13(1): 010608 (in Chinese)
- [6] LEONEL Hernández Martínez, SAQIB Khursheed, SUDHAKAR Mannapuram Reddy. LFSR generation for high test coverage and low hardware overhead[J]. IET Computers & Digital Techniques, 2020, 14(1): 27-36
- [7] DODD P E, SHANEYFELT M R, SCHWANK J R, et al. Current and future challenges in radiation effects on CMOS electronics

- [J]. IEEE Trans on Nuclear Science, 2010, 57(4): 1747-1763
- [8] YU Zhiguo, LI Qingqing, FENG Xiang, et al. An LFSR-based address using optimized address partition for low power memory BIST[J]. Journal of Measurement Science and Instrumentation, 2020(3): 205-210
- [9] GASPARD N, JAGANNATHANS, DIGGINS Z, et al. Technology scaling comparison of flip-flop heavy-ionsingle-event upset cross sections[J]. IEEE Trans on Nuclear Science, 2013, 60(6): 436-440
- [10] EVANGELOS Paparsenos, YIORGOS Tsiatouhas. Radiation-hardened latch design with triple-node-upset recoverability[J]. AE-UE-InternationalJournal of Electronics and Communications, 2024, 187: 121-132
- [11] 苏梦瑶, 陈旭斌, 邱仅朋, 等. 抗单粒子翻转的高可靠移位寄存器设计[J]. 浙江大学学报, 2016, 50(4): 792-798  
SU Mengyao, CHEN Xubin, QIU Jinpeng, et al. Design of highly reliable single-event-upset hardened shift register[J]. Journal of Zhejiang University, 2016, 50(4): 792-798 (in Chinese)

## Design of linear feedback shift register with single event upset resistance

TIAN Jiahao, CAO Bei, SUN Hongyue, ZHANG Tienan

(College of Electronic Engineering, Heilongjiang University, Harbin 150080, China)

**Abstract:** The rapid development of China's aerospace industry has rendered the radiation-hardened integrated circuit design critically importance, especially for spacecraft chips requiring protection against cosmic high-energy particle effects. As a fundamental component of built-in self-test (BIST) structures that ensure chip reliability, the radiation hardening of linear feedback shift register (LFSR) necessitates special attention. A comprehensive radiation-hardening methodology for LFSRs through systematic analysis of single-event upset (SEU) mechanisms is proposed. The present approach integrates four synergistic design strategies. Firstly, a radiation-hardened D-flip-flop architecture by using 12-transistor dual-interlocked storage cells (DICE) with bit-line separation technique is implemented. Secondly, at the layout level, radiation hardening capability is enhanced through the implementation of guard rings, sensitive node area minimization and increased spacing between complementary sensitive nodes. Thirdly, a novel power-on-reset (POR) circuit with SEU-immune characteristics is developed to address initialization vulnerabilities. Finally, for XOR gates executing linear operations, the present design integrating C-element with bit-line separation techniques to resist SEU effects. Experimental validation through a 7-stage LFSR demonstrates that the radiation-hardened structure achieves significant SEU immunity enhancement while maintaining operational stability in radiation environments.

**Keywords:** radiation hardened; single event upset; linear feedback shift register; power on reset

**引用格式:** 田佳昊, 曹贝, 孙鸿悦, 等. 抗单粒子翻转的线性反馈移位寄存器设计[J]. 西北工业大学学报, 2025, 43(6): 1246-1254

TIAN Jiahao, CAO Bei, SUN Hongyue, et al. Design of linear feedback shift register with single event upset resistance[J]. Journal of Northwestern Polytechnical University, 2025, 43(6): 1246-1254 (in Chinese)